

Žilinská univerzita v Žiline
Elektrotechnická fakulta
Katedra experimentálnej elektrotechniky

KOMBINAČNÉ LOGICKÉ OBVODY

Miroslav PUTIŠ

2008

Kombinačné logické obvody

BAKALÁRSKA PRÁCA

MIROSLAV PUTIŠ

ŽILINSKÁ UNIVERZITA V ŽILINE

Elektrotechnická fakulta

Katedra experimentálnej elektrotechniky

Študijný odbor: TELEKOMUNIKÁCIE

Vedúci bakalárskej práce: doc. Ing. Zdislav Exnar, CSc.

Stupeň kvalifikácie: bakalár (Bc.)

Dátum odovzdania bakalárskej práce: 6.6.2008

LIPTOVSKÝ MIKULÁŠ 2008

ABSTRAKT

Bakalárska práca obsahuje prehľad logických obvodov so zameraním na kombinované logické obvody, ich rozdelenie, funkciu, typy a návrh laboratórnej úlohy. Hlavným cieľom bakalárskej práce bolo vytvoriť ucelený študijný materiál kombinovaných logických obvodov, ktorý umožní študentovi pochopiť podstatu problému a na príklade laboratórnych cvičení si overiť nadobudnuté vedomosti praktickou realizáciou.

The thesis includes a survey for logic circuits focused on combination logic circuits, their families, operations and types. The thesis deals also with a design of a lab on logic circuits. The main task of the thesis was to create an exhausted educational material on combination logic circuits. This material allows students to understand the problem principles. The lab enables to verify students' knowledge acquired by practice.

Kľúčové slová: logické obvody, kombinované logické obvody, typy, návrh, laboratórna úloha, prax.

ANOTÁČNÝ ZÁZNAM

Kombinované logické obvody závisia iba na vstupných kombináciách v danom časovom okamihu, nemajú žiadnu pamäť na zapamätanie predchádzajúceho stavu. Sú zložené z hradiel, ktoré samé realizujú jednoduché logické funkcie s obmedzením po tom vstupov.

OBSAH

1.	ÚVOD	1
2.	LOGICKÁ PREMENNÁ	2
2.1	Booleová algebra	5
2.2	Popis logických funkcií	6
2.3	Minimalizácia	7
3.	ROZDELENIE LOGICKÝCH OBVODOV	9
3.1	Základné rozdelenie LO	9
3.2	iastkový záver	10
4.	KOMBINA NÉ LOGICKÉ OBVODY	11
4.1	Základná definícia	11
4.2	Syntéza kombina ných logických obvodov	12
4.3	Kombina ná logická funkcia	12
4.4	Hazard	13
5.	TYPY KOMBINA NÝCH LOGICKÝCH OBVODOV	15
5.1	Kóder	15
5.2	Dekodér	16
5.2.1	Dekodér z binárneho kódu na kód 1 z N	16
5.2.2	Dekodér z kódu BCD na kód 1 z 10	18
5.2.3	Dekóдеры pre sedemsegmentové displeje	19
5.3	Multiplexery	23
5.4	Demultiplexory	25
5.5	Komparátory	26
5.6	Obvody pre aritmetické operácie	27
5.6.1	S íta ka	28
5.6.2	Polovi ná s íta ka	29
5.6.3	Úplná s íta ka	29
5.6.4	Paralelná s íta ka	31
5.6.5	Aritmeticko-logická jednotka	32
5.6.6	BCD s íta ka	34
6.	MERANIE VYBRANÝCH KLO	36
7.	ZÁVER	39
8.	ZOZNAM POUŽITEJ LITERATÚRY	40
9.	VYHLÁSENIE O SAMOSTATNOSTI VYPRACOVANIA BAKALÁRSKEJ PRÁCE	41
10.	PO AKOVANIE	42

ZOZNAM OBRÁZKOV A TABULIEK

Obr. 1.: Rozdelenie LO v závislosti na výstupných veličinách	2
Obr. 2.: Logický obvod	3
Obr. 3.: Kombinovaný logický obvod	11
Obr. 4.: Ošetrovanie vstupného signálu	13
Obr. 5.: Rozmiestnenie súčiastok na plošnom spoji	14
Obr. 6.: Doska plošného spoja	14
Obr. 7.: a. Kóder dvojbitový, b. Kóder štvorbitový	15
Obr. 8.: Schematická značka kódéra	15
Obr. 9.: Schematická značka Dekódera	16
Obr. 10.: Dekóder 1 z 4:a. z hradiel AND, b. z hradiel NAND	17
Obr. 11.: Schéma zapojenia dekóderu z kódu BCD na kód 1z10	19
Obr. 12.: Sedemsegmentový zobrazovací LED jednotka	19
Obr. 13.: Ovládanie sedemsegmentovej zobrazovacej jednotky LED dekóderom 7446 ..	21
Obr. 14.: Ovládanie zobrazovacej jednotky LED programovateľnou pamäťou ROM	21
Obr. 15.: Statická funkcia sedemsegmentového displeja	22
Obr. 16.: Bloková schéma multiplexných zobrazovacích jednotiek	22
Obr. 17.: Schematická značka multiplexoru	23
Obr. 18.: prepínač dvoch logických signálov	23
Obr. 19.: Bloková schéma štvorvstupového multiplexora	24
Obr. 20.: Schéma demultiplexu	25
Obr. 21.: Štvorvstupový demultiplex	26
Obr. 22.: LO Exkluzívne OR	26
Obr. 23.: 4-bitový komparátor s XOR	27
Obr. 24.: Štvorbitová súčiastka	28
Obr. 25.: Polovičná súčiastka: a. LO, b. schematická značka	29
Obr. 26.: a. Súčiastka s XOR, b. schématická značka	30
Obr. 27.: Úplná súčiastka a jej minimalizácia	31
Obr. 28.: Štvorbitová súčiastka/odbitová súčiastka s obvodom 7483	31
Obr. 29.: Pretestovanie štvorbitovej súčiastky	32
Obr. 30.: Aritmeticko-logická jednotka	32
Obr. 31.: Kaskádový obvod 74181 so zrýchlením prenosu obvodom 74182	34
Obr. 32.: BCD súčiastka	35

Obr. 33.: Schematická ukážka prípravku	36
Obr. 34.: Vnútorne zapojenie ochrany proti hazardu	37
Obr. 35.: Príklad zapojenia na laboratórnych meraniach	37
Tab. 1.: Schematické značky základných logických členov	4
Tab. 2.: Logické funkcie	12
Tab. 3.: Pravdivostná tabuľka dekóderu 1 z 4 aktívneho v log.1.....	16
Tab. 4.: Pravdivostná tabuľka dekóderu 1 z 4 aktívneho v log.0.....	17
Tab. 5.: Pravdivostná tabuľka pre prevod BCD kódu na kód 1z10	18
Tab. 6.: Pravdivostná tabuľka sedemsegmentovej LED zobrazovacej jednotky	20
Tab. 7.: Segmenty displeja pre všetky stavy dekóderu 7446 až 7449	20
Tab. 8.: Štvorvstupový multiplexor	24
Tab. 9.: Logická funkcia	25
Tab. 10.: Štvorvstupový demultiplex	26
Tab. 11.: Nonekvivalencie (XOR) a ekvivalencie (XNOR)	27
Tab. 12.: Polovičná súčítačka	29
Tab. 13.: Úplná súčítačka	30
Tab. 14.: Funkcie aritmeticko-logickej jednotky	33

ZOZNAM SKRATIEK A SYMBOLOV

BCD.....Binary Coded Decimal

SN..... eskoslovenska norma

IO.....Integrovaný obvod

KLO.....Kombina ný logický obvod

LC.....Laboratórne cvi enie

LLogický len

LED.....Light-emitting diode - svetlo emitujúca dióda

LF.....Logická funkcia

LO.....Logický obvod

PROM.....Pama

PNP.....Typ zosilnenia tranzistora

US.....Americká norma

Ucc.....Napájanie

-Negácia

1. ÚVOD

Vzhľadom k tomu, že študujem na elektrotechnickej fakulte odbor telekomunikácie, som si za tému bakalárskej práce zvolil tému logické obvody (LO) so zameraním na kombinované logické obvody (KLO). V práci rozoberám základné informácie LO, jednotlivé typy a ich využitie, znalosti, ktoré treba k pochopeniu inosti jednotlivých KLO obvodov k ich navrhovaniu.

V dnešnej dobe sú riešenia so základnými logickými členmi už v štádiu stagovania a väčšina informácií a literatúry je už stará i obsahovo rovnaká. Použitie základných logických členov je minimálne a viac sa začína presadzovať vysoký stupeň integrácie, ktorý v poslednej dobe vyústil vo väčšom rozsahu použitia programovateľných logických polí. Pre pochopenie inosti týchto prvkov je ale potrebná znalosť základných členov a tomu pomáha aj moja práca.

V prvej kapitole rozoberám základné logické funkcie, ich spôsob práce a rozdelenie. Tému základov LO som venoval dve kapitoly. Po základoch som prešiel k hlavnej téme KLO, ktorým som sa venoval ďalšie dve kapitoly. Jedna kapitola je zameraná na syntézu, jednotlivé funkcie a druhá rozoberá typy KLO ako je dekóder, multiplexor, obvody pre aritmetické operácie a pod. Je to najrozsiahlejšia kapitola, obsahuje jednotlivé pravdivostné tabuľky, blokové schémy a popis jednotlivých KLO. Predposlednú kapitolu som venoval praktickému meraniu KLO, overení funkcií jednotlivých obvodov pomocou laboratórnych meraní a rozobratiu ich popisu. Posledná kapitola je záver.

2. LOGICKÁ PREMENNÁ

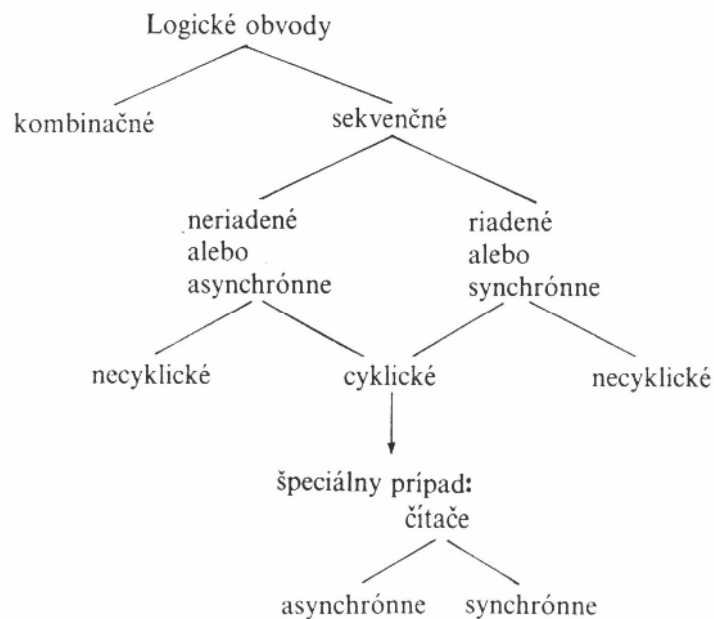
Logika je náuka o základoch myslenia v procese vytvárania úsudku a dôkazov.

Logická funkcia F kone ného po tu nezávislých premenných X_1, \dots, X_n je akéko vek jednozna né priradenie hodnôt závislej logickej premennej Y hodnotám nezávislých logických premenných X_1, \dots, X_n

Logický výraz popisuje logické vz ahy medzi logickými operandmi pomocou logických operátorov a využíva symboliku analogickú ako v klasickej algebre [13].

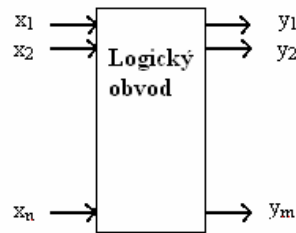
Logický signál je fyzikálny prostriedok, pomocou ktoré ho sa prenáša informácia o pravdivostnej hodnote logickej premennej. Fyzikálna podstata signálu môže by rôzna a závisí od toho, aký fyzikálny jav alebo vlastnos sa využíva pri realizácii logickej funkcie technickým systémom [13].

Logický obvod je taký obvod, ktorého vstupná alebo výstupná veli ina môže obsahova len jeden z dvoch možných hodnôt a to aj jeho prvky, ktoré obsahuje. Využívame dvojkovú algebru, iže môže nadobudnú len dve hodnoty obvod a to 0 alebo 1. Rozdelenie logických obvodov sa lení na základe závislosti vstupných veli ín (obr.1)[8].



Obrázok 1. – Rozdelenie LO v závislosti na výstupných veli inách

Znázornenie logického obvodu (obr. 2) [8]:



Obrázok 2. – Logický obvod

kde: x_1, x_2, x_n -sú vstupné hodnoty,

y_1, y_2, y_m -sú výstupné hodnoty.

Pri kombinálnych logických obvodoch nám výstupný stav logického obvodu závisí iba od okamžitých vstupných stavov [8]. Formálne je to možné zapísať ako:

$$y_1 = f_1(x_1, x_2 \dots x_n),$$

$$y_2 = f_2(x_1, x_2 \dots x_n),$$

$$y_m = f_m(x_1, x_2 \dots x_n).$$

Pri sekvenciálnych obvodoch výstupný stav logického (log.) obvodu závisí nielen od aktuálnych vstupných hodnôt, ale aj od vnútorných stavov, ktoré reprezentuje pamäťový obvod, ktorý si zapamätá predchádzajúci stav.

Pri riešení log. obvodov sa využíva niekoľko log. funkcií. Využívajú sa na to, aby sme zdanlivo zložitý logický obvod zjednodušili. Iže logická funkcia je zobrazenie, ktoré stavom nezávislých premenných priradí hodnoty závisle premenných.

Pri vytváraní funkcie s jednou premenou nám vystačí iba inverzia, ale pre vyjadrenie dvoch premenných potrebujeme operácie logický súčet a súčin.

Základné sú tri typy logických funkcií, ktoré obsahujú vstupné premenné a, b a výstupnú premennú y :

- logický súčin

- AND

$$y = a \cdot b,$$

- logický súčet

- OR

$$y = a + b,$$

- negácia

- NOT

$$y = \bar{a} \text{ alebo } y = \bar{b}.$$

Na základe týchto funkcií môžeme vyjadriť ľubovoľný logický obvod. alej sú definované funkcie, ktoré sú kombináciou základných a to:

- NAND

$$y = \overline{(a \cdot b)},$$

- NOR

$$y = \overline{(a + b)},$$

- XOR


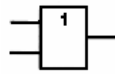



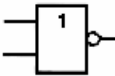

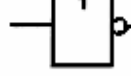

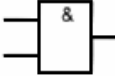

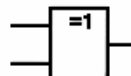
$$y = a + b = \bar{a} \cdot b + a \cdot \bar{b},$$

- XNOR

$$y = \overline{a + b} = a \cdot b + \bar{a} \cdot \bar{b}.$$

Každá logická funkcia má svoju schematickú značku (tab. 1) [1]:

Tabuľka 1. – Schematické značky základných logických členov

Typ normy			
US	SN	US	SN
Log. Súčet OR $y = a + b$		Negovaný log. Súčin NAND $y = \overline{(a \cdot b)}$	
			
Negovaný log. Súčet NOR $y = \overline{(a + b)}$		Negácia NOT $y = \bar{a} \quad y = \bar{b}$	
			
Log. Súčin AND $y = a \cdot b$		Nonekvivalencia XOR $y = a + b = \bar{a} \cdot b + a \cdot \bar{b}$	
			

2.1 Booleová algebra

Na návrh a zjednodušenie logických obvodov sa využíva Booleová algebra, ktorá je matematická disciplína priamo aplikovateľná. Využíva základné operácie ako [8]:

- logický súčin,
- logický súčet,
- negácia.

Pre Booleovú algebru platia tieto zákony:

1. Komutatívny zákon

$$x + y = y + x,$$

$$x \cdot y = y \cdot x,$$

2. Asociatívny zákon

$$(x + y) + z = x + (y + z),$$

$$(x \cdot y) \cdot z = x \cdot (y \cdot z),$$

3. Distributívny zákon

$$(x + y) \cdot z = xz + yz,$$

$$xy + z = (x + z) \cdot (y + z),$$

4. Zákon o vylúčení tretieho

$$x + \bar{x} = 1,$$

$$x \cdot \bar{x} = 0,$$

5. Zákon neutrálnosti hodnoty 0

$$x + 0 = x,$$

6. Zákon neutrálnosti hodnoty 1

$$x \cdot 1 = x,$$

7. Zákon agresivity hodnoty 0

$$x \cdot 0 = 0,$$

8. Zákon agresivity hodnoty 1

$$x + 1 = 1,$$

9. Zákon o idempotencii prvkov

$$x + x = x,$$

$$x \cdot x = x,$$

10. Zákony absorpcie

$$x + xy = x ,$$

$$x \cdot (x + y) = x ,$$

11. Zákony absorpcie negácie

$$x + \bar{x}y = x + y ,$$

$$x \cdot (\bar{x} + y) = xy ,$$

12. Zákon dvojitej negácie

$$\overline{\overline{x}} = x ,$$

13. De Morganove zákony

$$\overline{\bar{x} \cdot \bar{y}} = \overline{(\bar{x} + \bar{y})} ,$$

$$\overline{\bar{x} + \bar{y}} = \overline{(\bar{xy})} .$$

2.2 Popis logických funkcií

Logické funkcie môžeme vyjadri rôznymi spôsobmi grafickým alebo algebraickým. Budem rozobera metódy zápisu funkcií nie len s 2 nezávislými premennými ale aj s viacerými a aj príklad, keď máme neur itý stav. Ak nie je priradená funk ná hodnota niektorému zo stavov nezávislých premenných , ide o neur itý stav. Metóda na popis logických funkcií je viacej:

- pravdivostná tabu ka,
- stavový index,
- logický výraz,
- vienov diagram,
- zobrazenie máp,
- zobrazenie na n – rozmernom telese.

Za základnú metódu popisu LO je považovaná pravdivostná tabu ka.

Pravdivostná tabu ka je najbežnejší popis logických funkcií, ktoré presne opisuje chovanie sa logického obvodu ale nevie poda žiadny návod na jeho realizáciu. Obsahuje výpo et všetkých kombinácií, ktoré môžu nasta . Ak máme n závislých lenov potom tabu ka má 2^n riadkov. V pravdivostnej tabu ke sa môže vyskytnú ur itá funkcia (0,1)

alebo neuritá (X), u tejto je nám jedno aká je hodnota funkcie 0 alebo 1. Z pravdivostnej tabuľky môžeme získať hodnotu logického výrazu dvoma spôsobmi:

- súťovou formou,
- súťinovou formou.

Tu musím spomenúť aj niečo o základných pojmov využívaných pri riešení pravdivostnej tabuľky ako:

- súťinovú len,
- súťovú len,
- úplná súťová forma je daná súťom základných súťinových lenov, ktoré majú všetky hodnotu logickej 1,
- úplná súťinová forma je daná súťinom základných súťových lenov, ktoré majú všetky hodnotu logickej 0.

2.3 Minimalizácia

Logické funkcie sú realizované logickými obvodmi, ktoré sú zadané logickými výrazmi. Niekedy je logický výraz veľmi zložitý a aj obvod sa značne rozšíri a má veľké náklady na realizáciu a skôr môže niekde nastať chyba. Minimalizácia sa používa na dosiahnutie minimálnej logickej funkcie, s cieľom dostať minimálny tvar s čo najmenej poťom lenov. Tým sa nám zníži aj veľkosť obvodu, jeho náklady a nižší príkon.

Využívame väčšinou 3 základne spôsoby minimalizácie [1]:

1. pomocou zákona Booleovej algebry
 2. pomocou máp
 3. systematickou metódou Quine – Mc Cluskey
1. Pri metóde Booleovej algebry sa využívajú jeho zákony - najprv sa realizuje negácia, potom logický súťin a nakoniec logický súťet. Tento spôsob je dosť ťažký, nezaručuje dopracovanie k minimálnej logickej funkcii a vyžaduje určitú prax.
 2. Metóda využitím máp sa využíva ľahšie, pretože je rýchla a výsledok je minimálna funkcia. Využíva Karnaughovu mapu, do ktorej vpíšeme hodnoty z pravdivostnej tabuľky alebo zo stavových indexov. Ďalej postupujeme tak, že vytvárame podmapy,

v ktorej spojení zjednodušíme 2^k susedných stavov, ktoré obsahujú hodnoty logickej funkcie 0 (disjunktívna forma) alebo 1 (konjunktívna forma).

Pre výber podmapy platia pravidlá:

- vybratou podmapou musí byť pokryté všetky jednotkové (0) stavy funkcie ,
- do podmapy patria aj stavy, ktoré spolu susedia hranou, rohy mapy sú tiež susednými stavmi,
- podmapu vyberieme vždy tú najväčšiu ,
- môžu sa prelínať ,
- nevytvárame zbytočné podmapy tam , kde už boli vytvorené,
- čím väčšia mapa, tým presnejší je výraz .

3. Metóda Quine – Mc Cluskey nebola vyvinutá na bežné použitie ale skôr pre špeciálne využitie, kde sa požaduje viac logických funkcií naraz

Z nasledovných metód a ich popisu je zrejmé, že niektoré nie sú vhodné na bežné využitie a preto som v mojej práci vybral jednu z tých jednoduchších a to metódu tvorby Karnaughových máp.

3. ROZDELENIE LOGICKÝCH OBVODOV

3.1 Základné rozdelenie LO

Logické obvody rozdelíme pod a rôznych hľadísk, najmä najmä sa rozdelujú [1]:

- podľa realizovanej funkcie
 - kombinované
 - výstupná premenná závisí iba od vstupných premenných v danom časovom okamihu
 - sekvenčné
 - výstupná premenná nezávisí iba od vstupných premenných v danom časovom okamihu ale aj od postupnosti vstupných premenných v predchádzajúcich časových okamihoch
- podľa schopnosti zosilniť signál
 - pasívne
 - aktívne
- podľa druhu signálu, ktorý je nositeľom logickej informácie
 - elektromechanické
 - signál je napätie alebo prúd a následná sila-relé
 - elektrické
 - napätie alebo prúd
 - optoelektronické
 - svetelný tok a následné elektrické napätie alebo prúd
 - pneumatické
 - signál je mechanický tlak
- podľa použitej súčiastkovej základni
 - elektromechanické
 - LF je realizovaná pomocou relé a ich kontaktov
 - diódové
 - spínacími diódami a obmedzovacími rezistorami
 - tranzistorové
 - tranzistorom a ostatnými obvodovými prvkami (diódy, rezistory)
 - integrované

- IO, najviac využívané v súasnosti, poznáme obvody s nízkou úrovou integrácie hradlá(NAND, NOR, XOR a alšie) a so strednou hustotou integrácie (íta e, posuvné registre, dekodéry, at .) alej ich delíme aj na obvody s pozitívnu logikou (log.1 odpovedá úrove napätie 2-5V a log. 0 0-0,8V) a negatívnu logikou (log.1 odpove dá úrove napätie 0-0,8V a log.0 2-5V)
- log. leny delíme aj pod a toho, z akých obvodoých prvkov sú vyrobené [14]:
 - DL - diódová logika
 - ako spínací prvok používa diódy a obmedzovacie odpory
 - DTL - diódovo–tranzistorová log.
 - ako aktívny prvok využíva tranzistor
 - RTL - rezistorovo tranzistorová log.
 - TTL - tranzistorovo tranzistorová log.
 - CMOS - vyšší stupe TTL - pamäte mikroprocesory
 - unipolárny tranzistor (tranzistor riadení elektrickým po om)
 - ECL - emitorovo viazaná log.
 - pre ve mi rýchle íslicové obvody a ve mi rýchle pamäte

3.2 iastkový záver

V mojej práci som si za hlavnú tému vybral KLO, ktoré majú v bežnom živote široké využitie. Z nich som si niektoré vybral pre vytvorenie a overenie vlastností KLO a na vytvorenie laboratórneho zadania. Využil som základne KLO ako je NAND, OR.

4. KOMBINA NÉ LOGICKÉ OBVODY

4.1 Základná definícia

Kombina ný obvod je taký, kde jeho výstupný stav závisí iba od momentálneho stavu vstupov. Okamžitá hodnota výstupných premenných je daná len okamžitou kombináciou vstupných premenných.

Formálny zápis systému [1]:

$$Y_i = f(X_j), \text{ kde } i = 1, 2, \dots, m, \text{ j } = 1, 2, \dots, n.$$

Premenné:

$Y_i = y_1, y_2, \dots, y_m$ výstupné premenné kombina ného obvodu ,

$X_j = x_1, x_2, \dots, x_n$ výstupné premenné kombina ného obvodu .

Bloková schéma:



Obrázok 3. – Kombina ný logický obvod

Kombina ný logický (obr. 3) [3] obvod je funk ný celok, ktorý je realizovaný bu spojením základných logických lenov alebo pomocou integrovaného obvodu.

Typickými predstaviteľmi kombina ných logických obvodov sú:

- dekodéry,
- multiplexory a demultiplexory,
- komparátory,
- obvody pre aritmetické operácie (s íta ky, generátory,...) .

4.2 Syntéza kombinálnych logických obvodov

Syntézou kombinálnych logických obvodov chápeme postup získania logického obvodu zo slovného zadania, ktorý by realizoval naše požiadavky. Využívajú sa pritom (ako bolo uvedené v časti 2.2 bakalárskej práce) prostriedky logiky, slovné zadanie sa zapisuje väčšinou do pravdivostných tabuliek, odkiaľ neskôr získame popis logickej funkcie a to buď v súčtovej alebo súčinovej forme.

Etapy syntézy kombinálneho logického obvodu sú [1]:

- slovné zadanie logickej funkcie,
- popis logickej funkcie obvodu (väčšinou pravdivostná tabuľka),
- minimalizácia logickej funkcie,
- kontrola správnosti navrhutej logickej funkcie,
- realizácia kombinálneho logického obvodu pomocou logických členov.

Je možné, že máme logickú funkciu, pri ktorej nie je jednoznačné riešenie syntézy obvodu. Preto využijeme ako ukazuje prax optimálnu syntézu, ktorá má niekoľko kritérií ako napríklad minimálny počet logických členov. Pri syntéze väčšinou postupujeme tak, že hľadáme logický výraz, ktorý zodpovedá danej booleovskej funkcii. Ak ich nájdeme, tak by mali zodpovedať východiskovému typu logických členov a kritériám optimálnej syntézy.

4.3 Kombinálna logická funkcia

Je pravidlo priradiť každej vstupnej kombinácii 0 a 1. Poznáme kombinálnu logickú funkciu úplnú alebo neúplnú. Úplné sú tie, ktorých definičný obor obsahuje kombinácie všetkých vstupných premenných, pričom pri neúplnej, obsahujú len niektoré typy kombinácií. Existujú štyri kombinálne logické funkcie (tab. 2) [9] k jednej premennej.

Tabuľka 2. – Logické funkcie

Vstupná premenná	0 1	Zápis funkcie	Názov funkcie
odpovedajúca funkčná hodnota $y = f(x)$	0 0	$y = f_0(x) = 0$	nulová funkcia
	0 1	$y = f_1(x) = x$	opakovanie
	1 0	$y = f_2(x) = \bar{x}$	negácia
	1 1	$y = f_3(x) = 1$	Jednotková funkcia

4.4 Hazard

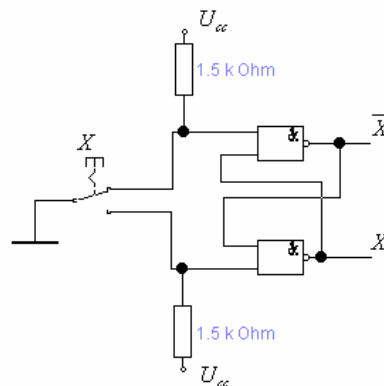
Logické obvody realizujúce určitú logickú funkciu môžu vplyvom opozdenia signálu na jednotlivých členoch vykazovať inú výstupnú hodnotu ako má byť. Tento jav sa nazýva hazard, najväčší vplyv má na sekvenčné obvody, ale vyskytuje sa aj v kombinovaných obvodoch. Realizujú sa tu tri typy a to statický, dynamický a súbežný [9].

Statický hazard nastane vtedy, ak pri prechode medzi dvoma susednými stavmi vstupných premenných dôjde na prechodnú dobu k zmene predpísanej výstupnej hodnoty. Ak takýto hazard vznikne, jeho odstránenie je zložité lebo vedie k nie minimálnej funkcii logického výrazu. Hazard sa dá vylúčiť pri určovaní hodnoty z mapy a to pokrytím funkcie aj tie hodnoty, ktoré by inak nemuseli byť vybrané.

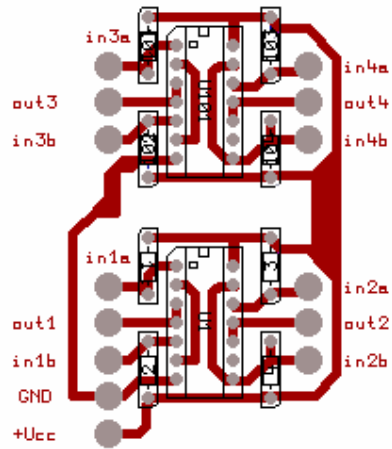
Dynamický hazard vznikne, keď výstupná premenná pri prechode 0 → 1 alebo 1 → 0 prejde postupnosťou stavov 0 → 1 → 0 alebo 1 → 0 → 1. Tým sa nám na výstupe objavia zákmity vzniknuté štruktúrou obvodu. Tento typ hazardu vznikne len pri viac než dvojnásobných obvodoch spôsobuje ho statický hazard v obvode.

Súbežný hazard je prechodný stav vyvolávajúci zmenu dvoch alebo viacerých vstupných premenných a preto výstupná hodnota nadobúda na prechodnú dobu nesprávne hodnoty.

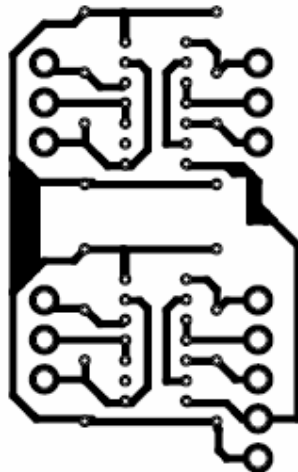
Na ochranu proti hazardu sa robí ošetrovanie vstupných signálov a to tým, že nevyužitú vstupnú hradla ošetríme. Často na generovanie vstupných hodnôt používame tlačidlá, pri ktorých prepínaním vzniká zakmitanie. Toto ošetríme vložením obvodu zabráňujúceho zákmit obvodu (viď obr. 4) [4].



Obrázok 4. – Ošetrovanie vstupného signálu



Obrázok 5. – Rozmiestnenie sú iastok na plošnom spoji

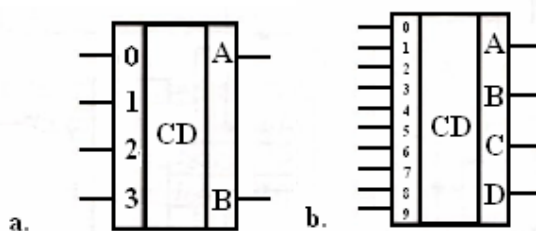


Obrázok 6. – Doska plošného spoja

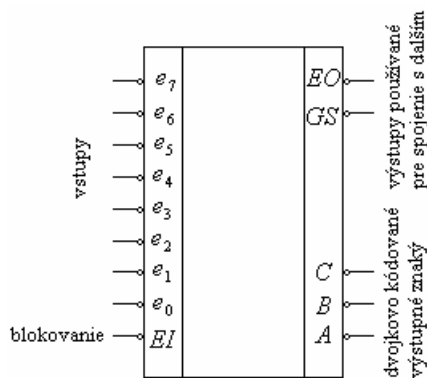
5. TYPY KOMBINA NÝCH LOGICKÝCH OBVODOV

5.1 Kóder

Je kombina ný logický obvod, ktorý z jedného alebo viac vstupov prevádza odpovedajúce desiatkové íslo do dvojkovej sústavy. Prevod ísla z vybraného kódu do iného kódu (obr. 7) [7]. V telekomunikáciách sa používa napr. na prevod z tónovej vo by na impulznú, pri ítaní telefónnych ísel s pamäti, pri pulznej kódovej modulácii.



Obrázok 7. – a. Kóder dvojitový, b. Kóder štvorbitový

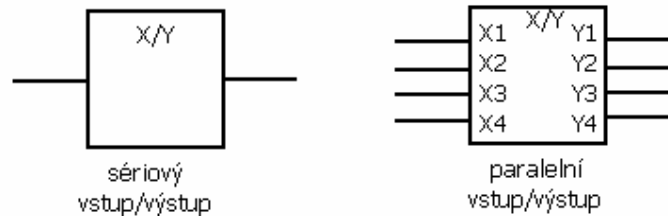


Obrázok 8. – Schematická zna ka kódera

Kóder (obr.8) má vstupy aj výstupy negované. Vstup EI je blokovací, takže pre $EI=1$ je na všetkých výstupoch signál 1. Výstup GS signalizuje, že najmenej na jeden vstup bola privedená informácia o tom, že obvod nebol zablokovaný vstupom EI . Výstup EO umožňuje rozšíriť prevod kódu na viac ako 8 vstupov. Funkcia obvodu je nasledujúca, ak $EI=1$ kóder je zablokovaný $GS=EO=A=B=C=1$, pritom nezáleží na signáli na vstupe, $EI=0$ a nie je žiadny vstup aktívny $GS=A=B=C=1, EO=0$, $EI=0$ a niektorý zo vstupov je aktívny potom $GS=0, CBA$ =negovaná adresa, $EO=1$.

5.2 Dekodér

Dekodér je kombinálny logický obvod z n vstupmi a m výstupmi (obr. 9) [5], v závislosti na vstupných premenných generujúci určitý kód, kombináciu binárnych stavov.



Obrázok 9. – Schematická značka Dekódera

Používajú sa na prevod jedného kódu na iný, dekódovanie registrov, ochranu správnosti kódu. Často používanými sú binárne dekodéry, ktoré prevádzajú binárne stavy v jednom kóde do binárneho stavu iného kódu. Najznámejšími dekodermi sú dekodéry 1 z N , BCD kódu na kód 1 z 10. Dekodéry majú ako základný stavebný prvok sú inové hradlo AND, ktoré má výstup logická 1 v prípade, ak majú všetky vstupy stav logická 1, alebo NAND, ktorý má na výstupe 0 pre vstupy v stave logickej 1.

5.2.1 Dekodér z binárneho kódu na kód 1 z N

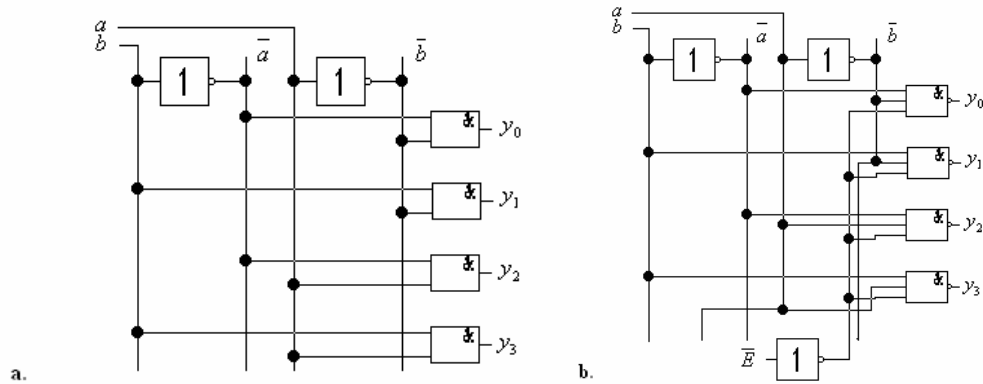
Najjednoduchší používaný detektor dvojbitového binárneho kódu 1 z 4. Pravdivostná tabuľka obsahuje 2 vstupné a 4 výstupné hodnoty (tab. 3) [1].

Tabuľka 3. – Pravdivostná tabuľka dekodéru 1 z 4 aktívneho v log.1

Vstupy		Výstupy			
b	a	y_0	y_1	y_2	y_3
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

Výstupy sú adresované pomocou vstupných premenných. Tabuľka platí, ak použijeme na konštrukciu hradlo AND. Logické výrazy pre jednotlivé premenné majú tvar:

$$\begin{aligned}
 y_0 &= \bar{b}\bar{a} & y_2 &= b\bar{a} \\
 y_1 &= \bar{b}a & y_3 &= ba
 \end{aligned}$$



Obrázok 10. – Dekóder 1 z 4:a. z hradíel AND, b. z hradíel NAND

Tabu ka dekóderu 1z 4 pre zapojenie z hradlom NAND:

Tabu ka 4. – Pravdivostná tabu ka dekóderu 1 z 4 aktívneho v log.0

Vstupy			Výstupy			
b	a	\bar{E}	y_0	y_1	y_2	y_3
x	x	1	1	1	1	1
0	0	0	0	1	1	1
0	1	0	1	0	1	1
1	0	0	1	1	0	1
1	1	0	1	1	1	0

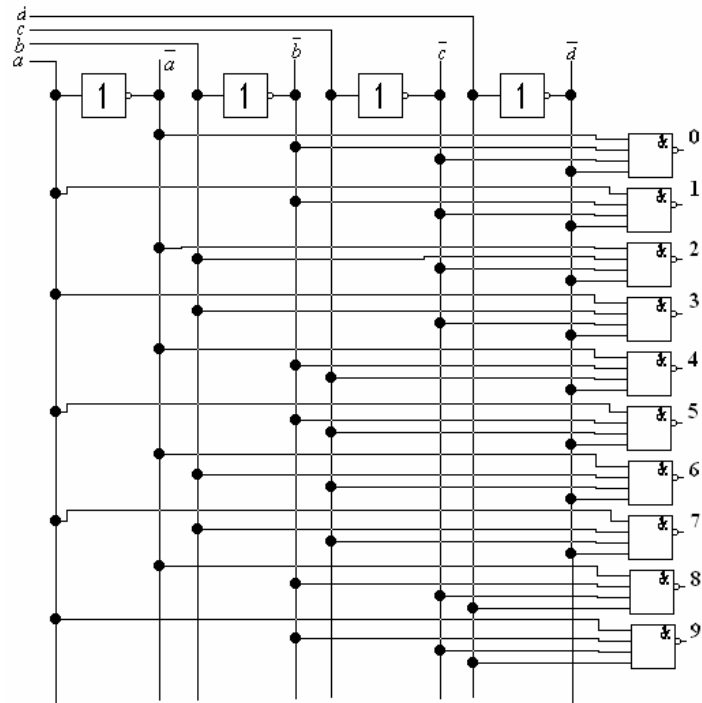
V tejto tabu ke (tab. 4) [1] je uvedený aj alší st pec a to \bar{E} , o je blokovací st pec. Ak sa nachádza v logickej 1, tak sa výstupy adresovaných vstupov nachádzajú v hodnote logickej 1. Blokovacích výstupov môže by nieko ko. Používajú sa na radenie dekodérov do vä ších celkov. Dekodéry 1 z N realizujú výrobcovia ako integrované obvody. Ozna enie 74LS139 obsahuje dekodér 1 z 4 aktívnu nulovou úrov ou na výstupe a jedným blokovacím vstupom \bar{E} (obr. 10) [1]. 74155,74LS155 je dekodér 1 z 4 s dvoma blokovacími signálmi a prevedenie 47156,74LS156 obsahuje ešte otvorený kolektor.

5.2.2 Dekóder z kódu BCD na kód 1 z 10

Je to prevodník BCD ísel na desiatkové. Na jeho vstupe sa nachádza štvorbitové slovo v kóde BCD. Je zložený s desiatich sú inových hradiel NAND a tak môže ma desa možných stavov 0 až 9 (obr. 11) [1]. Kombinácie vstupných premenných 1010 až 1111 nevyvolávajú na výstupe žiadnu aktívnu logickú úroveň a pre dekoder ak tívny nulou budú na výstupe mať logickú 1 (tab. 5) [1]. Dekóder je realizovaný napríklad obvody 7442 alebo 74LS42, a ešte pod označením 74145 a 74LS145 ktoré majú schopnosť dodať vstupný prúd až 80mA [1].

Tabu ka 5. – Pravdivostná tabu ka pre prevod BCD kódu na kód 1z10

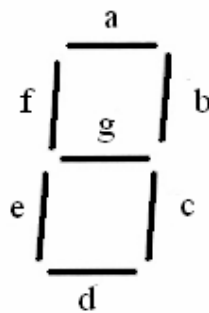
Vstupy				Ozna enie segmentov									
d	c	b	a	0	1	2	3	4	5	6	7	8	9
0	0	0	0	0	1	1	1	1	1	1	1	1	1
0	0	0	1	1	0	1	1	1	1	1	1	1	1
0	0	1	0	1	1	0	1	1	1	1	1	1	1
0	0	1	1	1	1	1	0	1	1	1	1	1	1
0	1	0	0	1	1	1	1	0	1	1	1	1	1
0	1	0	1	1	1	1	1	1	0	1	1	1	1
0	1	1	0	1	1	1	1	1	1	0	1	1	1
0	1	1	1	1	1	1	1	1	1	1	0	1	1
1	0	0	0	1	1	1	1	1	1	1	1	0	1
1	0	0	1	1	1	1	1	1	1	1	1	1	0



Obrázok 11. – Schéma zapojenia dekóderu z kódu BCD na kód 1z10

5.2.3 Dekódery pre sedemsegmentové displeje

Tento dekóder používa na vstupe číslo v BCD kóde a potom na výstup pošle sedem signálov pre sedemsegmentový displej. Podľa toho aký signál sa privedie na daný displej, sa rozsvieti číslo od 0 po 9. Poznáme hexadecimálne dekódery, ktoré na displeji zobrazia písmeno od A až F [1]. Displej je tvorený LED diódami, ktoré sú rozmiestnené do tvaru (obr. 12) [3]:



Obrázok 12. – Sedemsegmentový zobrazovací LED jednotka

Výstupy dekóderu sú označené ako segmenty displeja a,b,c,...,g. Ak rozsvietime všetky segmenty dostaneme číslo 8. Poznáme dva druhy sedemsegmentových displejov a to buď so spoločnou anódou alebo so spoločnou katódou.

Pri zapojení **so spoločnou anódou** sú anódy diódových segmentov prepojené a pripojené na $+U_{cc}$ a segmenty, sa rozsvetujú pripojením katód na log. 0.V druhom prípade **so spoločnou katódou**, sú katódy prepojené a pripojené na potenciál zeme a segmenty sa rozsvetujú privedením log. 1 na anódy.

Pravdivostná tabuľka sedemsegmentového displeja (tab. 6) [1]:

Tabuľka 6. – Pravdivostná tabuľka sedemsegmentovej LED zobrazovacej jednotky

Dekadická hodnota	Vstupy				Označenie segmentov						
	D	C	B	A	a	b	c	d	e	f	g
0	0	0	0	0	0	0	0	0	0	0	1
1	0	0	0	1	1	0	0	1	1	1	1
2	0	0	1	0	0	0	1	0	0	1	0
3	0	0	1	1	0	0	0	0	1	1	0
4	0	1	0	0	1	0	0	1	1	0	0
5	0	1	0	1	0	1	0	0	1	0	0
6	0	1	1	0	0	1	0	0	0	0	0
7	0	1	1	1	0	0	0	1	1	1	1
8	1	0	0	0	0	0	0	0	0	0	0
9	1	0	0	1	0	0	0	0	1	0	0

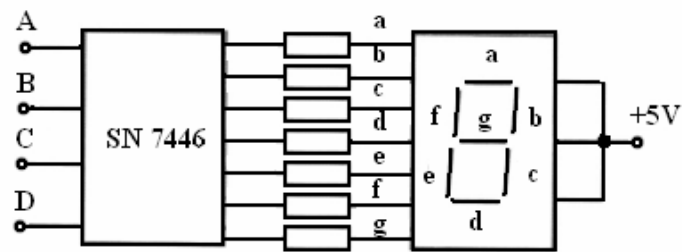
Segmentové displeje sa vyrábajú ako obvod 7446 a 7447, ktoré majú výstup aktívnu nulu pre budenie so spoločnou anódou. Typy 7448 a 7449 majú výstupy aktívnu logickú 1 pre budenie so spoločnou katódou.

Všetky stavy displeja pre dekódery typu 7446 až 7449 (tab. 7) [1]:

Tabuľka 7. – Segmenty displeja pre všetky stavy dekóderu 7446 až 7449

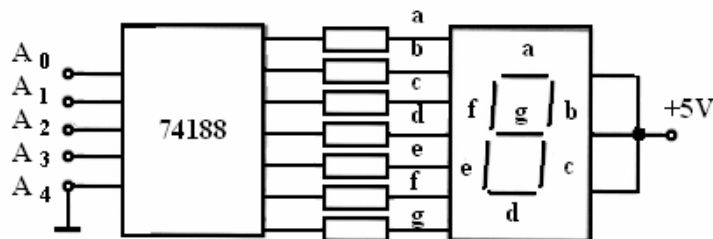
0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
---	---	---	---	---	---	---	---	---	---	----	----	----	----	----	----

Zapojenie sedemsegmentového displeja so spoločnou anódou (7446) (obr. 13) [1] obsahuje medzi displejom a dekódrom odpory, ktoré obmedzujú prúd prechádzajúci segmentmi displeja na prípustnú hodnotu (15mA je asi 150).



Obrázok 13. – Ovládanie sedemsegmentovej zobrazovacej jednotky LED dekódérom 7446

Poznáme aj budenie displeja pomocou programovateľnej pamäte PROM (obr. 14) [1], táto sa programuje pomocou pravdivostnej tabuľky.



Obrázok 14. – Ovládanie zobrazovacej jednotky LED programovateľnou pamäťou ROM

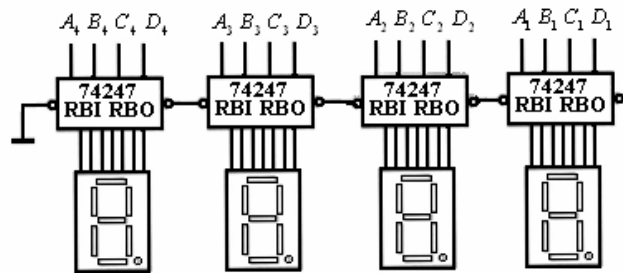
Keď máme naraz viac zobrazovacích jednotiek, poznáme dva spôsoby ako ich prevádzkovať :

- statický režim (každý displej má svoj dekodér),
- dynamický režim (jeden dekodér pre všetky displeje).

Statický režim

Pre každý displej sa použije jeden dekodér, je využité spojenie RBO (Ripple-blanking Output) so vstupmi RBI (Ripple-blanking Input). Slúži na potlačenie tzv. nevýznamných núl, napr. ak máme štyri displeje a chceme zobraziť číslo 2, nechceme zobraziť tie tri nuly predtým. Preto RBI u najvyššieho radu pripojíme na logickú 0. Vďaka tomu sa nezobrazia nuly a generuje sa na výstupe RBO nulový signál, čo vytvorí predpoklad pre potlačenie nuly na ďalšom rade.

Zobrazenie statického prevádzkovania (obr. 15) [1]:

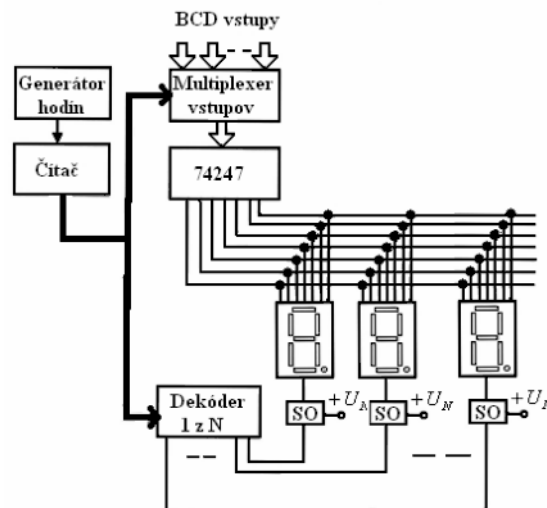


Obrázok 15. – Statická innos sedemsegmentového displeja

Dynamický režim

Pre každý displej sa používa jeden spoločný dekodér (74247) (obr. 16) [1]. Bloky SO sú spínacie obvody, pripájajúce napätie k anódam displeja. Obvod je vybavený PNP tranzistorom pre lebo výstupy 1 z N sú aktívne v nule. Je to multiplexný systém zobrazovania riadený oscilátorom. Znamená to, že každá zobrazovacia jednotka svieti len určitý čas. Ale musia sa kmitať tak rýchlo aby to nebolo postrehnuteľné aby sme mali dojem stáleho svitu. Poznáme dve podmienky, ktoré musia byť splnené aby to tak bolo a dostatočný kmit oscilátora, dostatočné vybudenie prúdu. Preto pri návrhu obvodu sa vychádza s hodnoty prúdu I_{max} a potom sa volí počet zobrazovacích segmentov aby hodnota bola rovnaká ako pri statickom režime, držala sa strednej hodnoty prúdu [1].

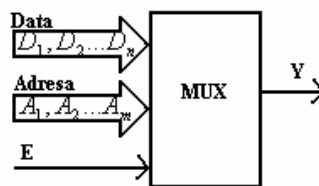
Zobrazenie dynamického prevádzkovania:



Obrázok 16. – Bloková schéma multiplexných zobrazovacích jednotiek

5.3 Multiplexery

Multiplexer je obvod z n adresovými vstupmi a maximálne 2^n dátovými vstupmi a s jedným dátovým výstupom (obr. 17) [1], umožňuje prevádzať informáciu zo zvoleného vstupného kanála na výstupný. Služi na prevod paralelnej informácie na sériovú. Pri voľbe vstupu sa využívajú riadiace adresové signály A_1 až A_m . Multiplexor sa využíva pri potrebe vybrania z veľkého počtu logických hodnôt len jednu, ako napríklad sa to robí na vstupoch aritmeticko-logickej jednotky.



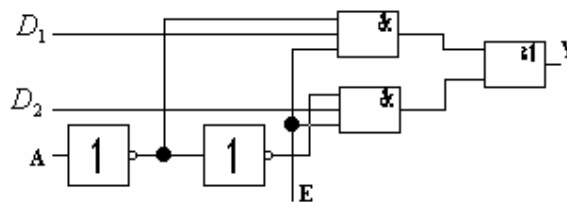
Obrázok 17. – Schematická značka multiplexoru

D_1 až D_n – vstup

A_1 až A_m – adresový výstup

E – blokovací vstup (služi na ovládanie celého obvodu)

Logické funkcie pre multiplexor (obr. 18) [1]: $Y = (A_{dr1} \cdot D_1 + A_{dr2} \cdot D_2 + \dots + A_{drm} \cdot D_n) \cdot E$

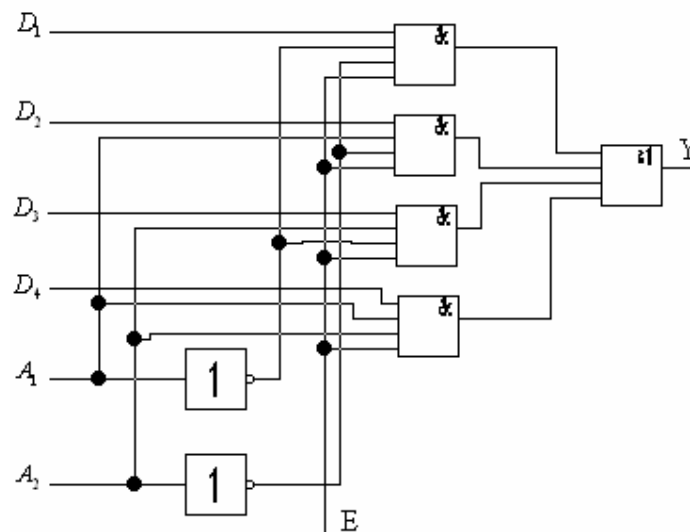


Obrázok 18. – prepínač dvoch logických signálov

Tabu ka 8. – Štvorvstupový multiplexor

E	D ₁	D ₂	D ₃	D ₄	A ₁	A ₂	Y
1	0	x	x	x	0	0	0
1	1	x	x	x	0	0	1
1	x	0	x	x	1	0	0
1	x	1	x	x	1	0	1
1	x	x	0	x	0	1	0
1	x	x	1	x	0	1	1
1	x	x	x	0	1	1	0
1	x	x	x	1	1	1	1
0	x	x	x	x	x	x	

Tabu ka (tab. 8) [1] obsahuje 7 vstupných premenných s toho sú 4 dátové, 2 adresové a 1 blokovací (obr. 19) [1].



Obrázok 19. – Bloková schéma štvorvstupového multiplexora

Pojem multiplexorová logika je spôsob realizácie KLO. Je to prevod sú tu stavových indexov, v ktorých je výstup, do tvaru pravdivostnej tabu ky (tabu ka, v ktorej sú zazna ené všetky možné kombinácie hodnôt vstu pných nezávislých premenných a im odpovedajúce hodnoty výstupných závislých premenných) (tab. 9) [1].

$$f(c,b,a) = \sum(0,2,3,7)$$

Tabu ka 9. – Logická funkcia

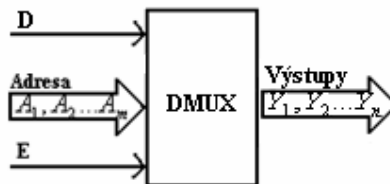
N	c	b	a	f	D
0	0	0	0	1	$D_1 = \bar{a}$
1	0	0	1	0	
2	0	1	0	1	$D_2 = 1$
3	0	1	1	1	
4	1	0	0	0	$D_3 = 0$
5	1	0	1	0	
6	1	1	0	0	$D_4 = a$
7	1	1	1	1	

Potom zvolíme taký multiplexor, ktorého počet adresových vstupov je o jedno menší, ako je počet premenných. Premenné, ktoré majú najvyššiu váhu c a b spojíme adresovými vstupmi. Premenné budú ur ova zapojenie vodi ov D1 až D4.

5.4 Demultiplexory

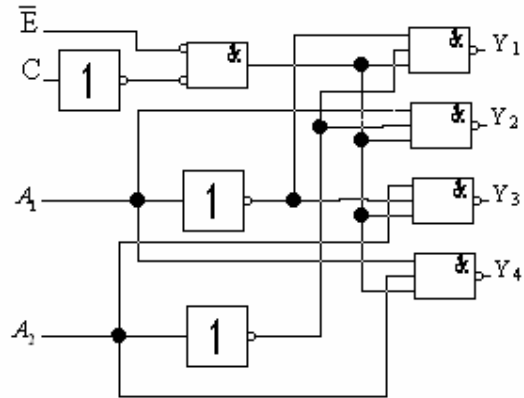
Obvod prepínajúci jeden vstup na niekoľko výstupov pod riadiaceho signálu.

Možno ho popísa ako $Y_i = A_{dri} \cdot D \cdot E$ (obr. 20) [1]



Obrázok 20. – Schéma demultiplexu

Vyrába sa väčšinou už s aktívnou úrovňou logickej nuly na vybraných výstupoch. Znamená to, že na všetkých výstupoch je logická jednotka a len na výstupe, ktorý je definovaný dátovými vstupmi je stav určený adresovými premennými, na ktorých sa prenáša logický stav dátového vstupu (obr. 21) (tab. 10) [1].



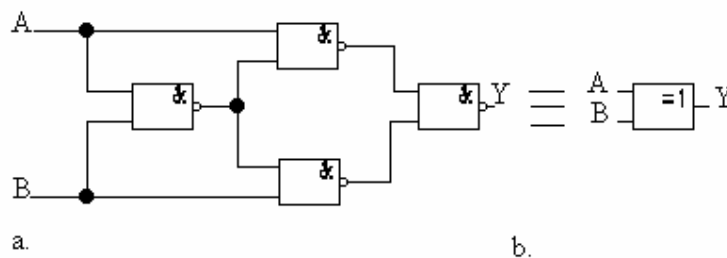
Obrázok 21. – Štvorvstupový demultiplex

Tabu ka 10. – Štvorvstupový demultiplex

\bar{E}	C	A ₁	A ₂	Y ₁	Y ₂	Y ₃	Y ₄
1	x	x	x	1	1	1	1
0	1	0	0	0	1	1	1
0	1	1	0	1	0	1	1
0	1	0	1	1	1	0	1
0	1	1	1	1	1	1	0
x	0	x	x	1	1	1	1

5.5 Komparátory

Porovnáva dve hodnoty a pod a ich rovnosti alebo nerovnosti generuje výstupný signál (obr. 22) [1]. Vo vnútri sa používa obvod OR alebo XOR (tab. 11) [1].

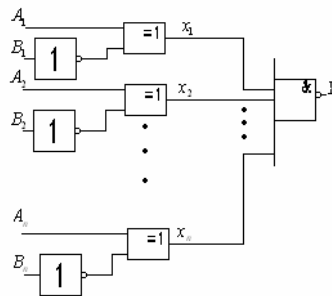


Obrázok 22. – LO Exkluzíve OR

Tabu ka 11. – Nonekvivalencie (XOR) a ekvivalencie (XNOR)

Vstupy		Funkcie	
B	A	XOR	XNOR
0	0	0	1
0	1	1	0
1	0	1	0
1	1	0	1

Pod ozna ením SN7484 sa predáva komparátor, ktorý má štyri hradlá. Poznáme aj obvod s kombinovanou funkciou XOR/XNOR pod ozna ením 74S135, funkcia sa volí pomocou riadiaceho vodi a.



Obrázok 23. – íslicový komparátor s XOR

íslo A privádzame na obvod priamo, pri om íslo B sa na obvod pripája cez invertor. Potom na výstupe XOR (obr. 23) [1] hradiel X_1 až X_n získa logická funkcia, ktorá sa rovná: $X_n = A_n + B_n$

Výstupne hodnoty z XOR sa privedie na hradlo NAND ak sú rovnaké vo všetkých h bitoch, potom výstup Y je rovný logickej 0 ak nie, tak logickej 1.

5.6 Obvody pre aritmetické operácie

Tieto obvody sú základom programového vybavenia mikroprocesorov a špeciálne vybavených integrovaných obvodov. Základné operácie, ktoré sa vykonávajú (+, -, *, ÷), rozoberieme ako sa s ítavajú ísla v dvojkovej sústave, ako sa zapisujú záporné ísla v tejto sústave a prevedieme operáciu od ítanie na s ítanie. S ítanie je základom ostatných aritmetických operácii.

5.6.1 Štáka

Funguje na princípe sítania dvojice dvojkových miest, ktoré sú rádovo na rovnakej pozícii za ínajúc najnižším rádom (obr. 24) [1]. Po sítaní vzniká prenos do vyššieho radu, ktorý musíme bra oh ad. Pri sítaní najskôr sítame ísla na najnižších pozíciách a postupujeme k najvyšším. Môže sa sta , že vznikne prenos do vyššieho radu.

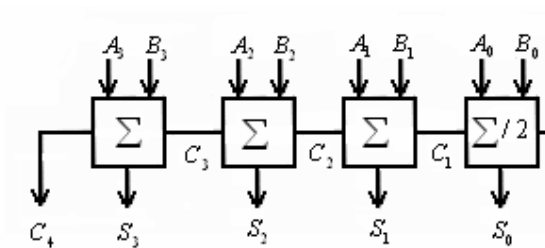
Príklad demonštrujúci sú et dvoch dvojkových ísel [1]:

$$\begin{array}{r} 0 \ 1 \ 1 \\ 0 \ 0 \ 1 \\ \hline 0 \ 1 \ 10 \end{array}$$

Tieto výpo ty sa používajú pri návrhu štáky. Predvedieme príklad sítania dvoch ísel, ke máme dve nezávislé premenné A,B a dve závislé premenné a to sú et S (rádové miesto 2^0) a prenos do vyššieho radu C (rádové miesto 2^1). Hodnota C má vyššiu váhu ako S , má rovnakú váhu ako A a B.

$$\begin{array}{r} A = \quad 1 \ 0 \ 1 \ 1 \\ B = \quad 1 \ 0 \ 1 \ 1 \\ \hline \quad 1 \ 0 \ 1 \ 1 \ 0 \end{array}$$

Na danom výpo te vidíme ako sa ísla spo ítavajú a vzniká prenos do vyššieho radu,



Obrázok 24. – Štvorbitová štáka

kde: - ozna enie úplnej štáky,

A_n, B_n – vstupujúce binárne ísla

C_n – prenos do vyššieho radu

$/2$ – polovi ná štáka

5.6.2 Polovi ná s íta ka

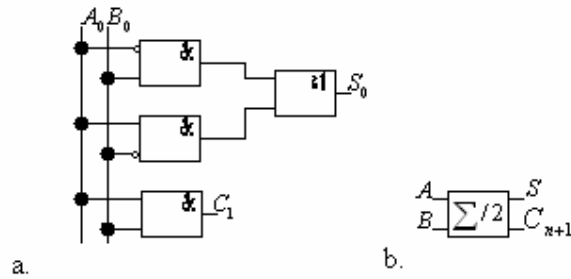
Umož uje s íta dva vstupy a prenies s ítaný bit do vyššieho rádu (tab. 12) [1]. Ale nedokáže prija bit prenosu z nižšieho rádu. Môže sa nachádza len na za iatku obvodu (obr. 25) [1].

Tabu ka 12. – Polovi ná s íta ka

Operandy		Výstupné funkcie	
A ₀	B ₀	C ₁	S ₀
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

$$S_0 = \overline{A_0}B_0 + A_0\overline{B_0}$$

$$C_1 = A_0B_0$$



Obrázok 25. – Polovi ná s íta ka: a. LO, b. schematická zna ka

5.6.3 Úplná s íta ka

Sa používa pri s ítavaní na najvyšších rádrových miestach má vstup aj výstup na prenos do vyššieho rádu. Sú et $S_n = A_n + B_n + C_n$ (tab. 13) [1]

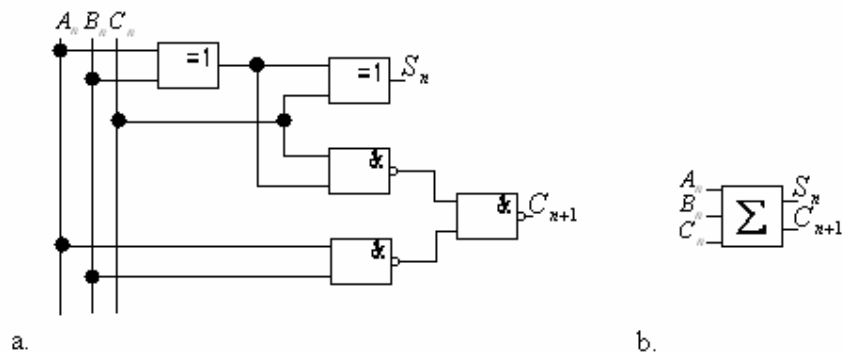
Tabuľka 13. – Úplná súčítačka

Operandy			Výstupné funkcie	
A_n	B_n	C_n	C_{n+1}	S_n
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

Úplná súčítačka (obr. 27) [1] musí zabezpečiť:

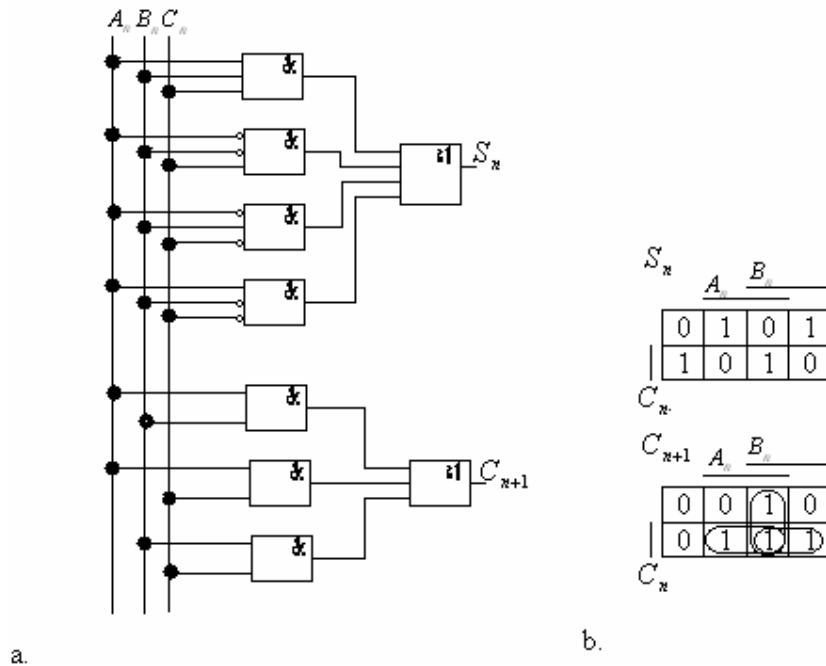
- súčíta dva vstupné bity,
- pridať k tomuto bitu binárny bit prenosu s nižšieho rádu,
- súčíta ďalší bit prenosu do vyššieho rádu a poslať ďalej.

Blok súčítania má tri vstupy a dva výstupy (obr. 26) [1].



Obrázok 26. – a. Súčítačka s XOR, b. schématická značka

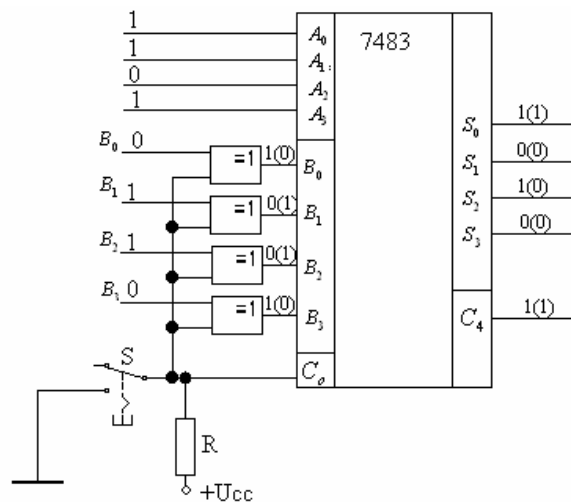
Výstupné hodnoty sú závislé od toho, koľko jednotiek je na vstupe a nie na tom, na ktorých vstupoch sa tieto jednotky nachádzajú. Viacbitová súčítačka sa realizuje spojením jednotlivých jednobitových súčítačiek.



Obrázok 27. – Úplná sítka a jej minimalizácia

5.6.4 Paralelná sítka

Vykonáva funkciu sítania a odítania viac bitových binárnych ísel. Obvod je zapojený kaskádne (obr. 29) [1], íže jeho rýchlosť závisí od rýchlosti prenosu najvyššieho rádu. Pre zrýchlenie využíva obvod „predvídanie“. Využíva vlastnosť získania výsledku prenosu z predchádzajúceho riadku. Označuje sa ako zrýchlený prenos, môže byť priamo v IO alebo ako externý obvod.

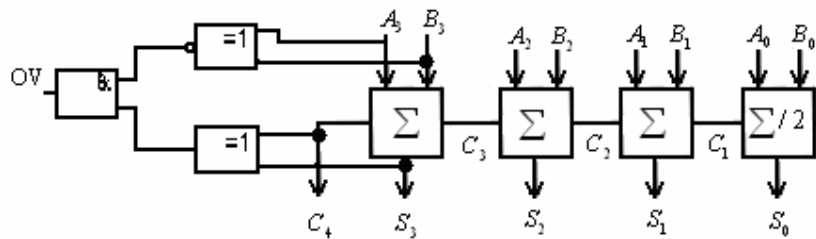


Obrázok 28. – Štvorbitová sítka/odítka s obvodom 7483

Typ 7483 (obr. 28) [1] je štvorbitytová súčítačka, ktorá má dve vstupné čísla A, B a prenos do vyššieho rádu C_0 , na výstupe je S_0 štvorbitytový súčet. Odčítanie čísel vyzerá nasledovne $A-B=11-6$. Na vstupe sú čísla najvyššieho rádu A_3 a B_3

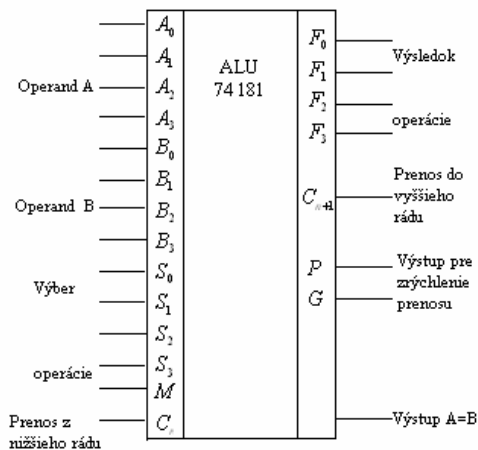
$$\begin{array}{r} 1\ 0\ 1\ 1 \\ 1\ 0\ 0\ 1 \\ \hline 1\ 0\ 1\ 0\ 1 \end{array}$$

Jednotku prenosového bitu ignorujeme a výsledok je v bite S_0 až S_3 ako 01012 čo zodpovedá číslu 5. Môžeme nastaviť stav ktorý sa nazýva pretečenie, v tomto prípade sa výsledok nemôže zobraziť v počte bitov v ktorom sú čísla. Spôsobuje to sčítanie väčších kladných čísel alebo dve záporné čísla. Treba to ošetriť ešte pred začatím sčítania.



Obrázok 29. – Pretečenie štvorbitevej súčítanky

5.6.5 Aritmeticko-logická jednotka



Obrázok 30. – Aritmeticko-logická jednotka

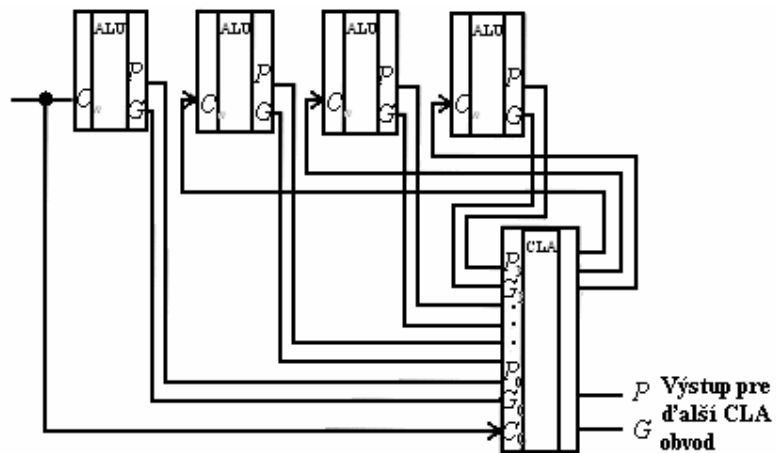
Realizovaný obvodom 7481 (obr. 30) (obr. 31) [1] má dva štvorbitytové operandy A a B 16 aritmetických operácií a 16 logických operácií vo dvojkovej sústave. Vykonáva +, -, +1, dvojkový doplnok, posuv o 1 miesto vľavo, posúvanie dvoch čísel a iné. Logické operácie ako logický súčet, logický súčin, funkcie NAND, NOR, NOT, ekvivalent

a nonekvivalent. Na výber operácie sa využívajú riadiace vstupy S_0 až S_3 . Bit M slúži na výber logickej ($M=1$) alebo aritmetickej operácie ($M=0$) pod a hodnoty bitu ešte výber závisí aj od najnižšieho rádu C_n . Princíp funkcie je jednoduchý, na vstup sa privedú 2 n -bitové čísla pomocou ktorých sa zvolí príslušná operácia. Na výstupe sa po určitom oneskorení posiela m -bitové číslo, ktoré odpovedá zvolenej operácii. Na výstupe sa môžu objaviť aj signály, ktoré vznikajú v závislosti na výsledku alebo priebehu výpočtov, takýmto signálom je aj nulovosť alebo pretečenie (tab. 14) [2].

Tabuľka 14. – Funkcie aritmeticko-logickej jednotky

Výber				M=1	M=0 Aritmetické operácie	
S_3	S_2	S_1	S_0	Logické operácie	$C_n=1$ (bez prenosu)	$C_n=0$ (s prenosom)
0	0	0	0	$F = \bar{A}$	$F = A$	$F = A$ plus 1
0	0	0	1	$F = \overline{A+B}$	$F = A + B$	$F = (A + B)$ plus 1
0	0	1	0	$F = \bar{A}B$	$F = A + \bar{B}$	$F = (A + \bar{B})$ plus 1
0	0	1	1	$F = 0$	$F =$ menej 1	$F = 0$
0	1	0	0	$F = \overline{AB}$	$F = A$ plus $\bar{A}\bar{B}$	$F = A$ plus $\bar{A}\bar{B}$ plus 1
0	1	0	1	$F = \bar{B}$	$F = (A + B)$ plus $\bar{A}\bar{B}$	$F = (A + B)$ plus $\bar{A}\bar{B}$ plus 1
0	1	1	0	$F = A \oplus B$	$F = A$ menej B menej 1	$F = A$ menej B
0	1	1	1	$F = \bar{A}\bar{B}$	$F = \bar{A}\bar{B}$ menej 1	$F = \bar{A}\bar{B}$
1	0	0	0	$F = \bar{A} + B$	$F = A$ plus AB	$F = A$ plus AB plus 1
1	0	0	1	$F = \overline{A \oplus B}$	$F = A$ plus B	$F = A$ plus B plus 1
1	0	1	0	$F = B$	$F = (A + \bar{B})$ plus AB	$F = (A + \bar{B})$ plus AB plus 1
1	0	1	1	$F = AB$	$F = AB$ menej 1	$F = AB$
1	1	0	0	$F = 1$	$F = A$ plus A	$F = A$ plus A plus 1
1	1	0	1	$F = A + \bar{B}$	$F = (A + B)$ plus A	$F = (A + B)$ plus A plus 1
1	1	1	0	$F = A + B$	$F = (A + \bar{B})$ plus A	$F = (A + \bar{B})$ plus A plus 1
1	1	1	1	$F = A$	$F = A$ menej 1	$F = A$

„+“ značí logický súčet a „plus“ aritmetický súčet



Obrázok 31. – Kaskádový obvod 74181 so zrýchlením prenosu obvodom 74182

5.6.6 BCD s íta ka

Vykonáva súčet binárnych čísel v BCD kóde, sítavajú sa dve štvorbítové ísla BCD ísla $A_d + B_d$. Pripoítava sa prenos C_0 a výsledkom je S_d . Vo výsledku môžu nasta dva možné výsledky :

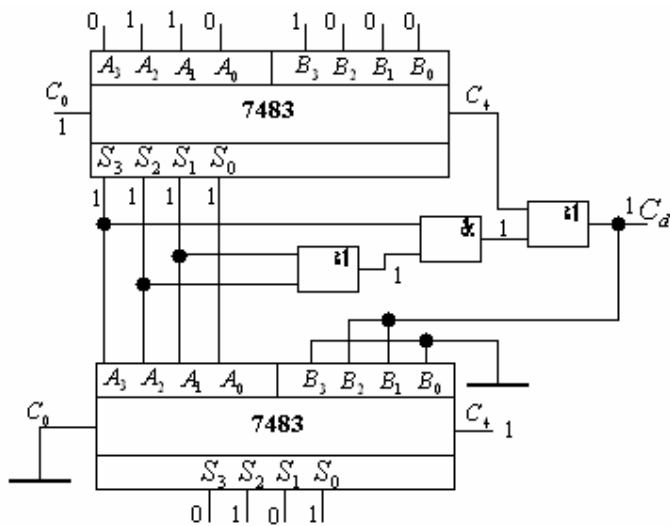
- keď je súčet $S_d = A_d + B_d + C_0 < 9$ je výsledok správny v štyroch bitoch a netreba ho korigovať ,
- $S_d = A_d + B_d + C_0 > 9$ je súčet v rozsahu 10 až 19 výsledok sa musí korigovať .

Desiatková korekcia znamená previes íslo opä do BCD kódu o sa prevádza na štyroch bitoch vyjadrujúci jeden dekadický rád. Túto operáciu vykonávame pre všetky rady v ktorých je hodnota väčšia ako 9.

$$\begin{array}{r}
 1\ 2\ 7\ 9 \\
 \quad 5\ 4\ 3 \\
 \hline
 1\ 7\ B\ C \\
 + \quad \quad 6 \\
 \hline
 1\ 7\ C\ 2 \\
 + \quad \quad 6 \\
 \hline
 1\ 8\ 2\ 2 \\
 +\ 0\ 0 \\
 \hline
 1\ 8\ 2\ 2
 \end{array}$$

Obvod (obr. 32) [1] má tri základné časti:

- základnú súčtu,
- obvody detekcie veľkosti súčtu,
- korekcia súčtu.

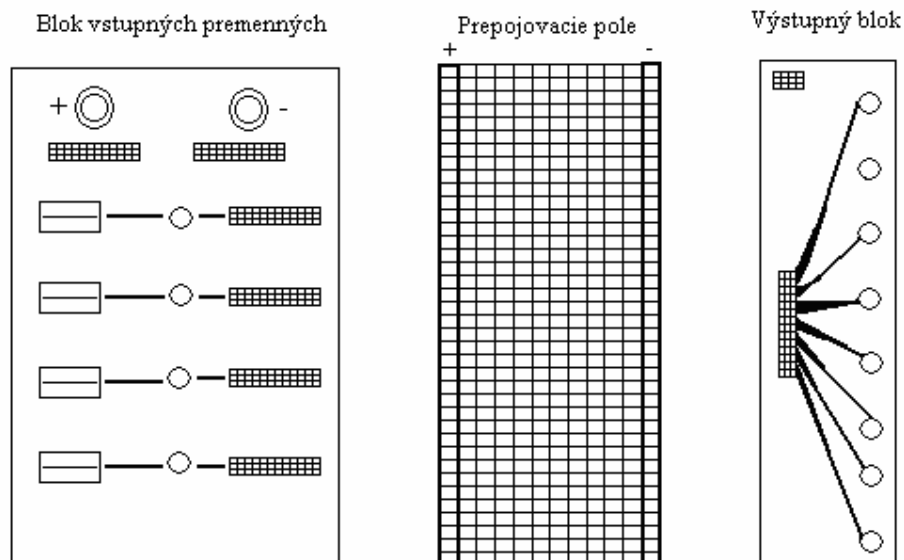


Obrázok 32. – BCD súčítačka

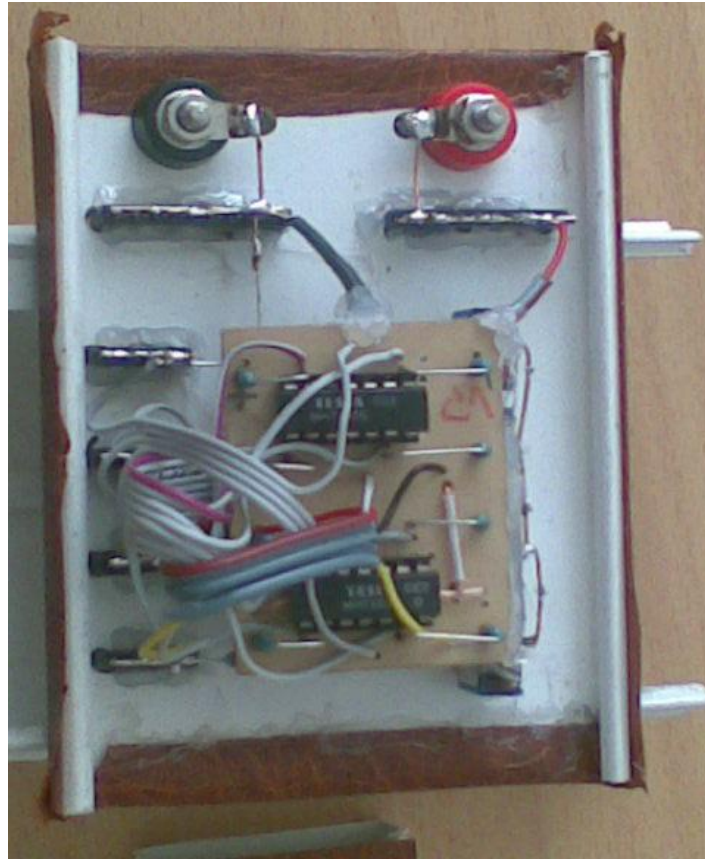
6. MERANIE VYBRANÝCH KLO

V tejto kapitole sa venujem meraniu vybraných KLO. Úlohou bolo zostaviť laboratórne cvičenie, navrhnúť a vyrobiť prípravok pre vykonanie laboratórných cvičení na odskúšanie a overenie vlastností KLO. Pri zostavení laboratórných meraní som konzultoval s vedúcim bakalárskej práce a na základe dohody, boli laboratórne návody použité v rámci výučby predmetu Logické obvody. Týmto spôsobom sa v praxi overilo, či sú vhodné na overenie znalostí.

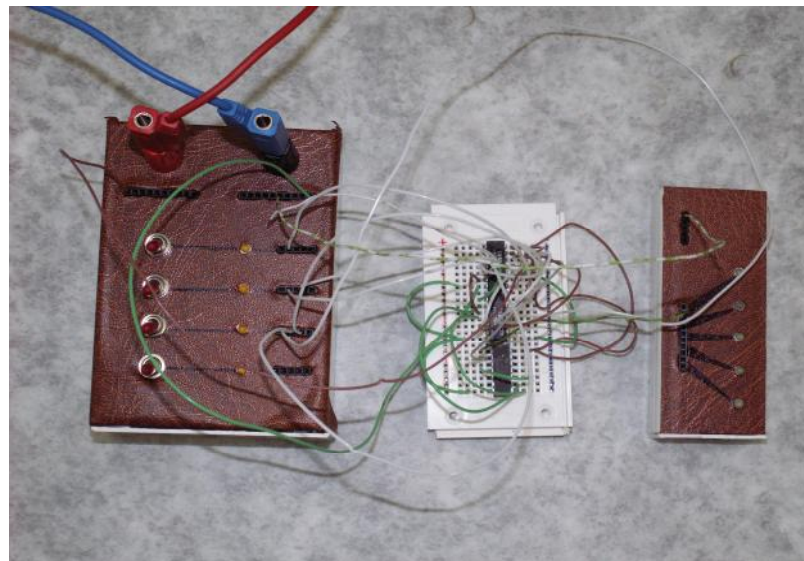
Boli realizované dve laboratórne cvičenia. Úlohou prvého LC je overenie vlastností základných L, návrh a minimalizácia LO, overenie logických rovníc, určiť LO z časového diagramu. Študenti mali k dispozícii aj prípravok, ktorý som navrhol a realizoval. Skladá sa z troch častí. Prvá časť predstavuje blok vstupných premenných, pomocou ktorého sa zadávajú vstupné signály a LED diódami, ktoré signalizujú ich hodnoty. Prepínajú sa ošetriť (obr. 34) obvodom proti vzniku hazardu (kapitola 4.4 obr. 5 a 6). Druhá časť obsahuje prepojovacie pole na osadenie a prepojenie jednotlivých LO a tretia je výstupný blok, na ktorej sa nachádzajú len LED diódy na zobrazenie výsledného stavu (obr. 33).



Obrázok 33. – Schematická ukážka prípravku



Obrázok 34. – Vnútorné zapojenie ochrany proti hazardu



Obrázok 35. – Príklad zapojenia na laboratórnych me raniach

Zadanie laboratórneho merania sa nachádza v prílohe A a v prílohe C je uvedené vypracovanie tohto zadania.

Druhé laboratórne cvičenie obsahuje zadanie, ktoré umožňuje overenie zostrojenia Karnagrovej mapy, minimalizáciu LF, návrh LO. Jednotlivé body boli nastavené tak aby ich návrh sa overil buď na prípravku alebo pomocou simulčných programoch ako je EWB alebo Matlab-simulink.

Druhé laboratórne cvičenie sa nachádza v prílohe B a vypracovanie v prílohe D. Laboratórne merania sa v praxi overili a ich využitie je vhodné na hodiny LO.

7. ZÁVER

Cieľom bakalárskej práce bolo vypracovanie textu, ktorý môže byť použitý ako študijná literatúra v rámci predmetu Logické obvody. Práca je zameraná na objasnenie základných poznatkov z oblasti Booleovej algebry, popis logických obvodov, ich minimalizáciu a návrh zapojenia KLO s využitím základných logických členov.

Teoretické závery z prvej časti bakalárskej práce som využil v druhej časti, ktorá pojednáva o návrhu laboratórnych cvičení, zameraných na overenie základných vlastností logických obvodov a minimalizáciu logickej funkcie. Laboratórne cvičenia umožnia študentom v základnom kurze Logické obvody si overiť teoretické poznatky formou realizácií jednoduchých zapojení (obr. 35). Vypracované zadania laboratórnych cvičení boli použité v rámci predmetu Logické obvody. Na základe hodnotenia garanta predmetu ako aj záverov z protokolov, ktoré som mal k dispozícii, boli navrhnuté laboratórne cvičenia ako po obsahovej tak formálnej stránke veľmi dobre hodnotené. Veľmi pozitívne boli hodnotené navrhnuté prípravky, ktoré oproti pôvodným učebným pomôckam priniesli novú kvalitu najmä v oblasti názornosti zapojenia spojenej s konkrétnou realizáciou základných logických členov v integrovaných obvodoch. Určitým obmedzením bolo použitie napájivých prepojovacích polí malých rozmerov.

Verím, že moja záverečná bakalárska práca bude slúžiť všetkým, ktorí pracujú s logickými obvodmi a bude učebnou pomôckou pre študentov a profesorov, využívanou nielen v teórii ale aj v praxi.

8. ZOZNAM POUŽITEJ LITERATÚRY

- [1] ANTOŠOVÁ, M., DAVIDEK, V.: *íslicová technika. KOPP.* 2003, ISBN 80-7230-206-0
- [2] BERNARD, J.-M., HUGON, J.: *Od logických obvodov k microprocesorom* .Praha: SNTL, 1986
- [3] BIOLKOVÁ, V., JAKUBOVÁ, I., KOLOUCH, J. : *Impulzná a íslicová technika L.* BRNO: Skriptá dostupné na stránke www.warforum.cz
- [4] DIVIŠ, Z., CHMELÍKOVÁ, Z., PETRÍKOVÁ, I. : *Logické obvody pro kombinované a distan ní štúdium.* Ostrava: 2003, dostupné na stránke: http://fei1.vsb.cz/www/files/LO_01.pdf
- [5] HORST, J., HEINRICH, R. a kol.: *Informa ná a telekomunika ná technika.* Praha: Europa-Sobotáles CZ, 2004, ISBN 80-86706-08-07
- [6] KALOUSEK, J.: *Logické obvody.* Ostrava: 2006, dostupné na stránke: <http://www.oa-poruba.unas.cz/soubory/dak/logobv.pdf>
- [7] KESL, Ján. *Elektronika III.* Praha: BEN, 2005, ISBN 80-7300-182-9
- [8] KOLENI KA, J., BOTÍK, J.: *Technika po íta ov I.* Bratislava: Alfa-press, 2000, ISBN 80-89004-11-3
- [9] KOLOUCH, J., BIOLKOVÁ, V. : *Impulzná a íslicová technika S.* Brno:
- [10] KUNEŠ, M.: *Diplomová práca Fyzický návrh hradlového pole .* Praha: 2002, Dostupné na stránke: http://cs.felk.cvut.cz/~danek/Diplomky/Kunes_diplomka.pdf
- [11] MATUOŠEK, D.: *íslicová technika základy konštruktérskej praxe.* Praha: BEN, 2001, ISBN 80-7300-025-3
- [12] PECINA, J., PECINA, P.: *Základy íslicovej techniky,* 2007, Dostupné na stránke: <http://www.ped.muni.cz/wtech/elearning/dig.pdf>
- [13] <http://exphys.science.upjs.sk/studenti/ify/text.php?obsah=t1&tlac=0>
- [14] <http://referaty.atlas.sk/ostatne/informatika/33453/zakladne-logicke-cleny-pre-kombinacne-obvody>

**9. VYHLÁSENIE O SAMOSTATNOSTI VYPRACOVANIA
BAKALÁRSKEJ PRÁCE**

ESTNÉ VYHLÁSENIE

Vyhlasujem, že som zadanú diplomovú prácu vypracoval samostatne, pod odborným vedením vedúceho bakalárskej práce doc. Ing. Zdislava Exnara, Csc. používal som len literatúru uvedenú v práci.

Súhlasím so zapožičiavaním bakalárskej práce.

V Liptovskom Mikuláši dňa 1.6.2008

.....

podpis diplomanta

10. PO AKOVANIE

Moje **po akovanie** patrí **doc. Ing. Zdislavovi Exnarovi, CSc.** za odborné vedenie a konzultácie, za podporu, ktorý mi po mohol pri vypracovaní bakalárskej práce.

Žilinská univerzita v Žiline
Elektrotechnická fakulta
Katedra experimentálnej elektrotechniky

KOMBINAČNÉ LOGICKÉ OBVODY

Prílohová časť

Miroslav PUTIŠ

2008

ZOZNAM PRÍLOH

Príloha A: Zadanie laboratórneho cvičenia .1

Príloha B: Zadanie laboratórneho cvičenia .2

Príloha C: Vypracovanie laboratórneho merania .1

Príloha D: Vypracovanie laboratórneho merania .2

Príloha A:

ELEKTROTECHNICKÁ FAKULTA
Žilinská univerzita v Žiline
Detašované pracovisko v Liptovskom Mikuláši

Zadanie laboratórneho cvičenia . 1 z predmetu Logické obvody

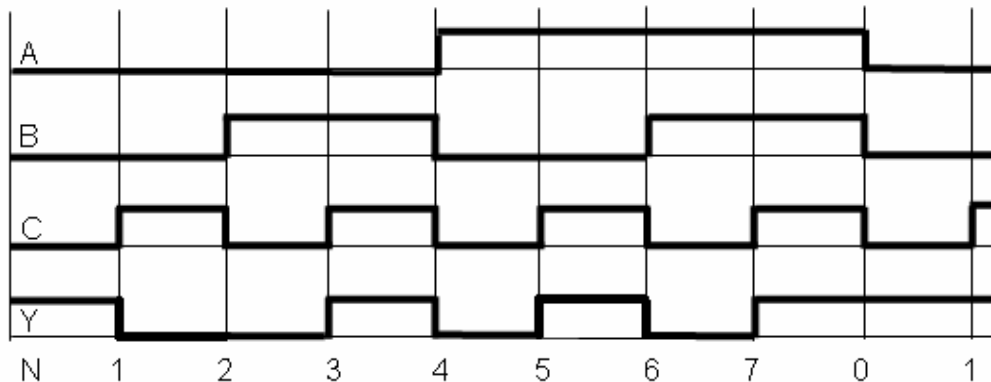
Overenie vlastností základných logických členov

Ciele merania:

Preverenie jednotlivých logických členov, návrh LO, overenie funkčnosti pomocou stimulačného programu a následná realizácia.

Zadanie:

- Overte funkčnosti jednotlivých hradíel NAND, NOT, AND, OR a zapíšte k nim pravdivostnú tabuľku.
- Navrhňte LO, ktorý spravíte zo vstupu $A \rightarrow \bar{A}$, $AB \rightarrow \bar{A} \cdot B$, $AB \rightarrow \overline{A \cdot B}$, $ABC \rightarrow \bar{A} + (B \cdot \bar{C})$
- Overte platnosť logických rovníc: $A + \bar{A} \cdot B = A + B$, $A + A \cdot B = A + B$, $A = (A + B) \cdot A$
- Podľa časového diagramu zostrojte pravdivostnú tabuľku a navrhňte LO



Príprava na laboratórne cvičenie:

- zopakovať funkčnosti jednotlivých logických členov, postup vytvorenia karnaughovej mapy, minimalizácie LF a návrh LO.

Literatúra:

- (1) Antošová Marcela, Davidek Vrastislav číslicová Technika KOPP 2003
- (2) Matoušek D. číslicová Technika BEN 2001
- (3) Prednášku minimalizácie a prednášku LO

Spracovanie laboratórneho merania:

Protokol z merania musí obsahovať nasledovné body

- 1 – Názov merania
- 2 – Ciele merania
- 3 – Zadanie
- 4 – Tabuľka a zjednodušenia
- 5 – Obrázok zapojenia

Príloha B:

ELEKTROTECHNICKÁ FAKULTA
Žilinská univerzita v Žiline
Detašované pracovisko v Liptovskom Mikuláši

Zadanie laboratórneho cvičenia .2 z predmetu Logické obvody

Základné operácie logických obvodov

Cieľ merania:

Návrh logického obvodu a overenie jeho funkčnosti realizáciou.

Zadanie 1:

Podľa zadanej pravdivostnej tabuľky zostrojíte karnaughovu mapu, minimalizujete logickou funkciou, navrhnete logický obvod a overíte jeho funkčnosť v prostredí MatLab-Simulink a EWB. Navrhnutý LO realizujete na prípravku a overíte jeho funkčnosť.

Pravdivostná tabuľka 1

Index	a	b	c	f
0.	0	0	0	1
1.	0	0	1	1
2.	0	1	0	0
3.	0	1	1	1
4.	1	0	0	0
5.	1	0	1	0
6.	1	1	0	0
7.	1	1	1	0

Príprava na laboratórne cvičenie:

Na laboratórne cvičenie pripravíte karnaughovu mapu zo zadanej pravdivostnej tabuľky, minimalizujete logickú funkciu a navrhnete logický obvod.

Zadanie 2: Návrh logického riadenia vypustenia vody zo studne

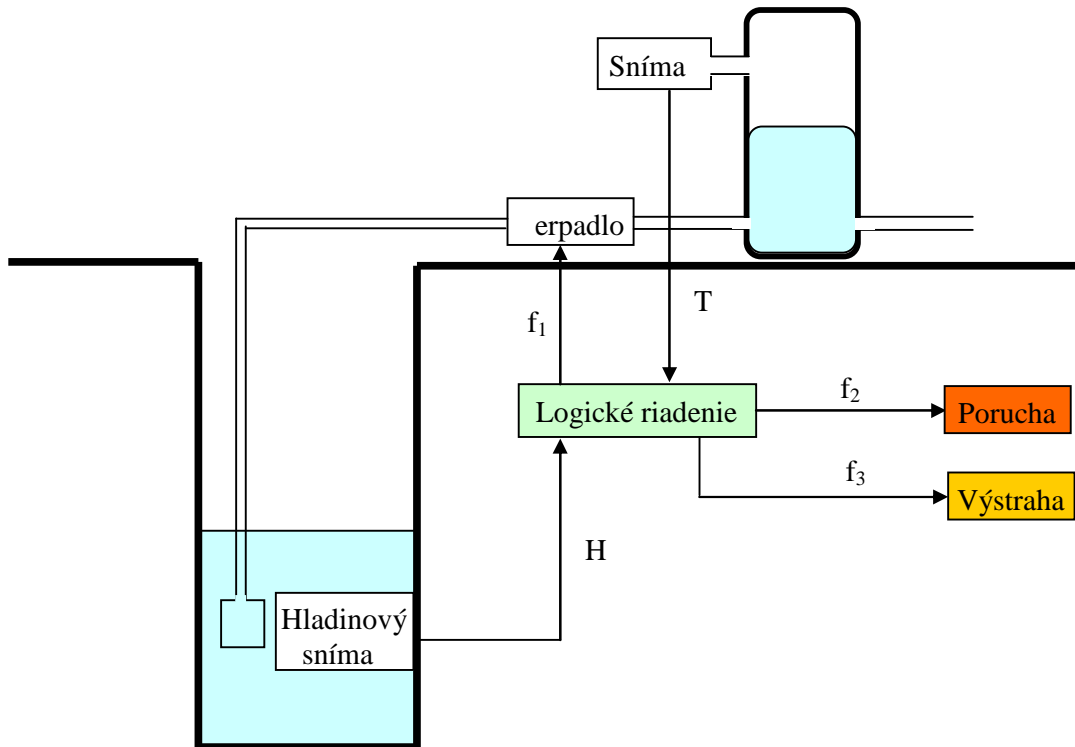
Navrhnete logické riadenie pre vypustenie vody zo studne (obr. 1), ktoré je požadované:

- vypustadlo je v prevádzke ($f_1=1$), keď je nízky tlak v nádrži ($T=0$) a v studni je voda ($H=1$)
- vypustadlo je v kľude, keď je v nádrži požadovaný tlak ($T=1$) alebo je málo vody v studni ($H=0$)
- je hlásená porucha ($f_2=1$), keď je nízky tlak v nádrži a v studni nie je voda
- je hlásená výstraha ($f_3=1$), keď je požadovaný tlak v nádrži ale v studni nie je voda

Zostavte pravdivostnú tabuľku, minimalizujte logické funkcie, navrhnete logický obvod a overíte jeho funkčnosť na modeli.

Literatúra:

- [1] Antošová M. - Davidek V.: Úsilicová Technika, KOPP, České Budějovice, 2003
- [2] Matoušek D.: Úsilicová technika. BEN, Brno, 2001.
- [3] Exnar, Z.: Minimalizácia logickej funkcie. Logické riadenie. Prednášky z predmetu LO, Liptovský Mikuláš, 2008.



Obrázok 36 erpanie vody zo studne

Spracovanie laboratórneho merania:

Protokol z merania musí obsahovať nasledovné body:

- 1 – Názov laboratórneho cvičenia
- 2 – Cieľ merania
- 3 – Zадanie
- 4 – Postup minimalizácie logickej funkcie
- 5 – Schéma zapojenia logickeho obvodu v prostredí MatLab-Simulink a EWB
- 7 – Postup realizácie logickeho obvodu a použité zariadenie.
- 8 – Záver, zhodnotenie použitého prípravku.

Príloha C:

ELEKTROTECHNICKÁ FAKULTA
Žilinská univerzita v Žiline
Detašované pracovisko v Liptovskom Mikuláši
=====

Školský rok: 2007/08

Semester: letný

Protokol z LC
Logické Obvody

Úloha .1
Overenie vlastností základných logických členov

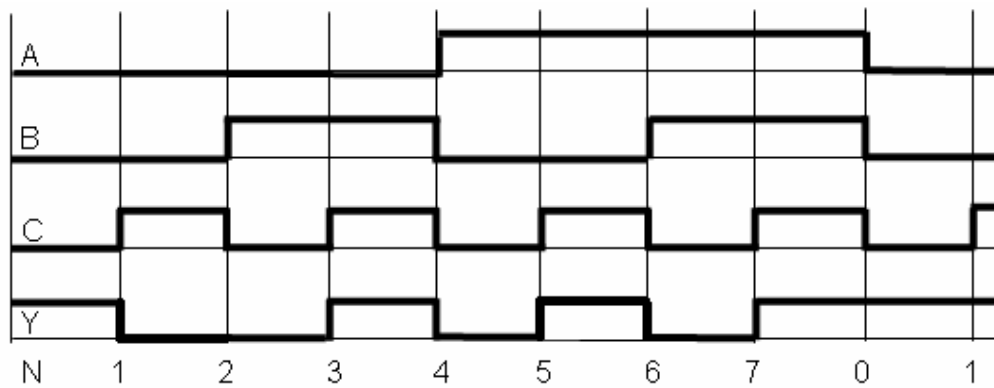
D a: 19.3.2008

Sk: 31

Spracoval: Miroslav Putiš

Zadanie:

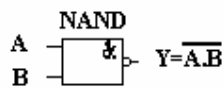
- e) Overte funkciu základných logických členov NAND, NOT a NOR pomocou prípravku a zapíšte k nim pravdivostné tabuľky.
- f) Navrhnete a realizujete logický obvod, ktorý zo vstupného signálu vytvorí signál:
 $AB \rightarrow \bar{A} \cdot B$, $AB \rightarrow \overline{A \cdot B}$, $ABC \rightarrow \bar{A} + (B \cdot \bar{C})$
- g) Overte platnosť logických rovníc: $A + \bar{A} \cdot B = A + B$, $A + A \cdot B = A + B$, $A = (A + B) \cdot A$ realizáciou na prípravku
- h) Podľa časového diagramu zostrojíte pravdivostnú tabuľku a navrhnete logický obvod



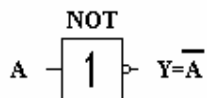
časový diagram 1

Výpočty a tabuľka merania:

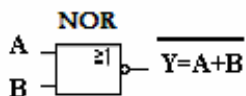
Zadanie a:



Index	A	B	Y
1	0	0	1
2	1	0	1
3	0	1	1
4	1	1	0

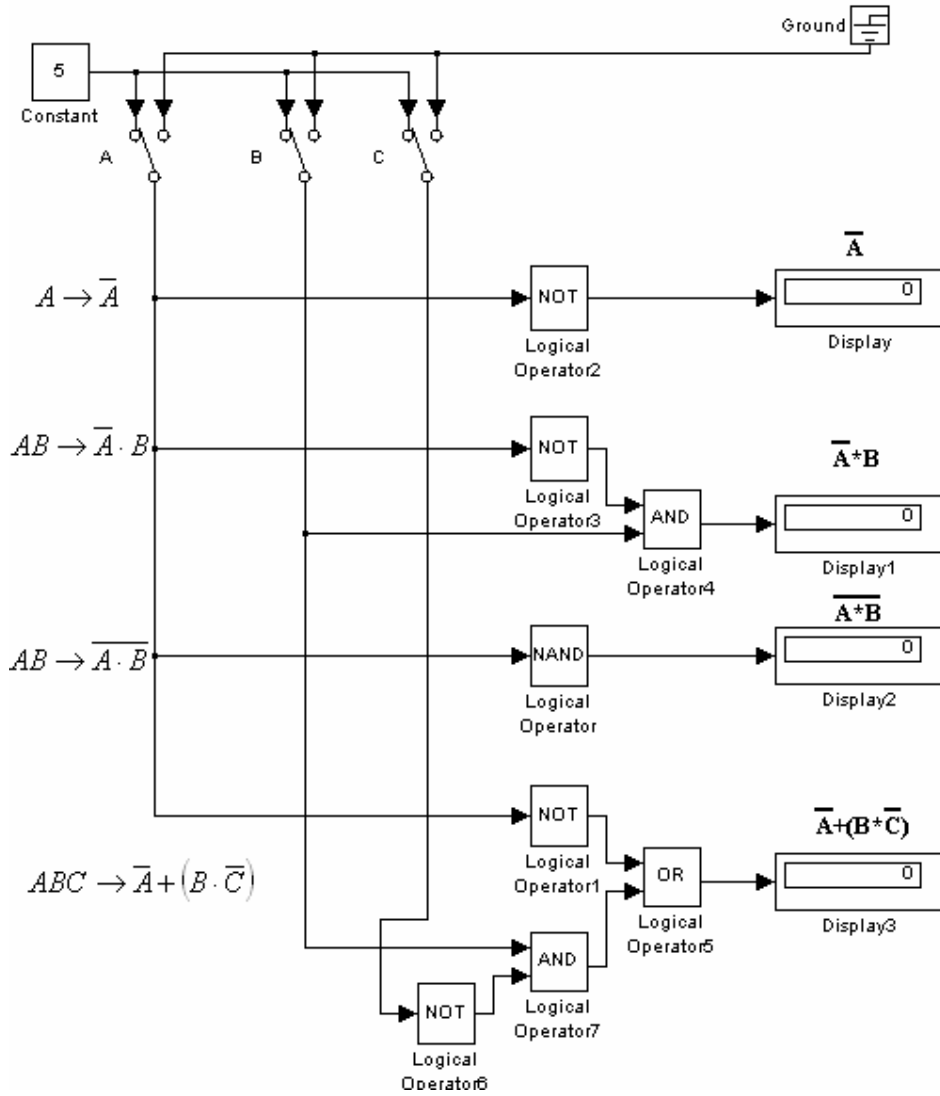


Index	A	Y
1	0	1
2	1	0



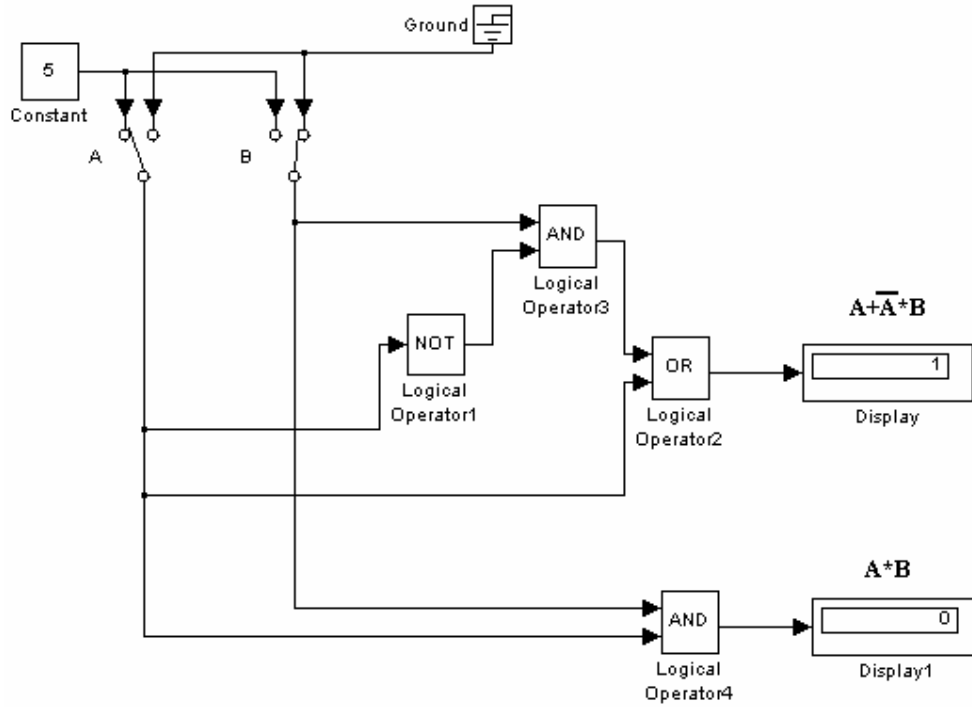
Index	A	B	Y
1	0	0	1
2	0	1	0
3	1	0	0
4	1	1	0

Zadanie b:

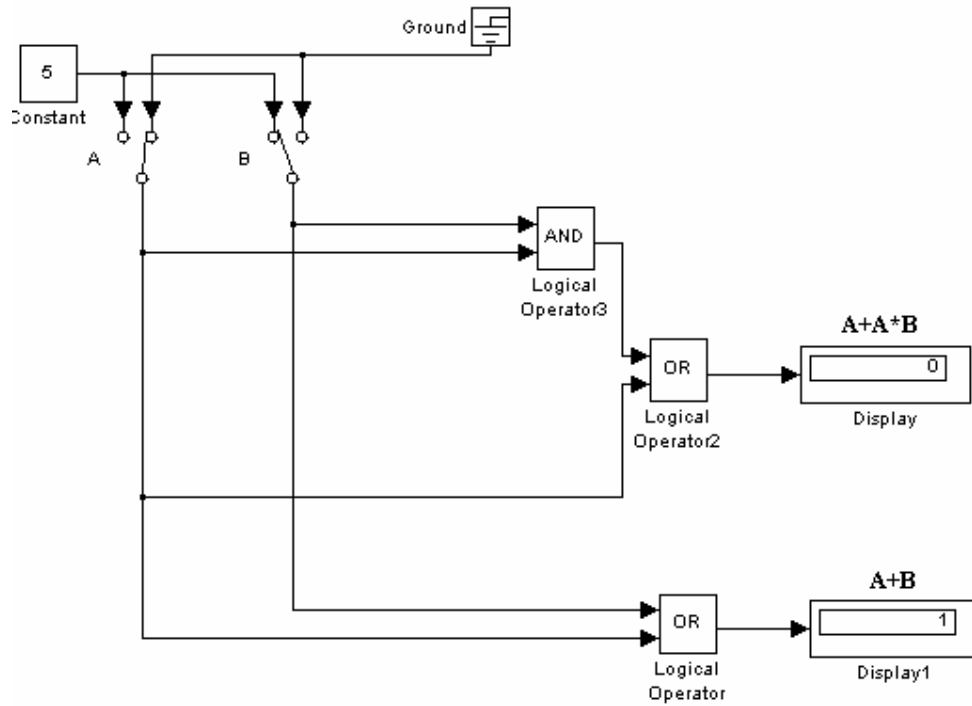


Zadanie c:

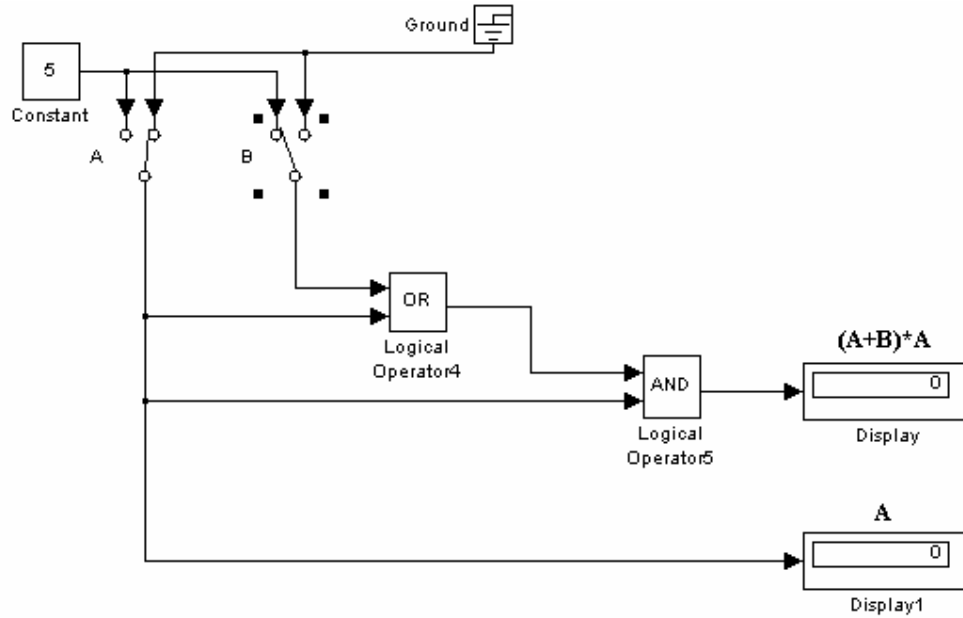
$$A + \overline{A} \cdot B = A \cdot B \text{ funkcia neplatí (A=1, B=0)}$$



$$A + A \cdot B = A + B \text{ funkcia neplatí (A=0, B=1)}$$



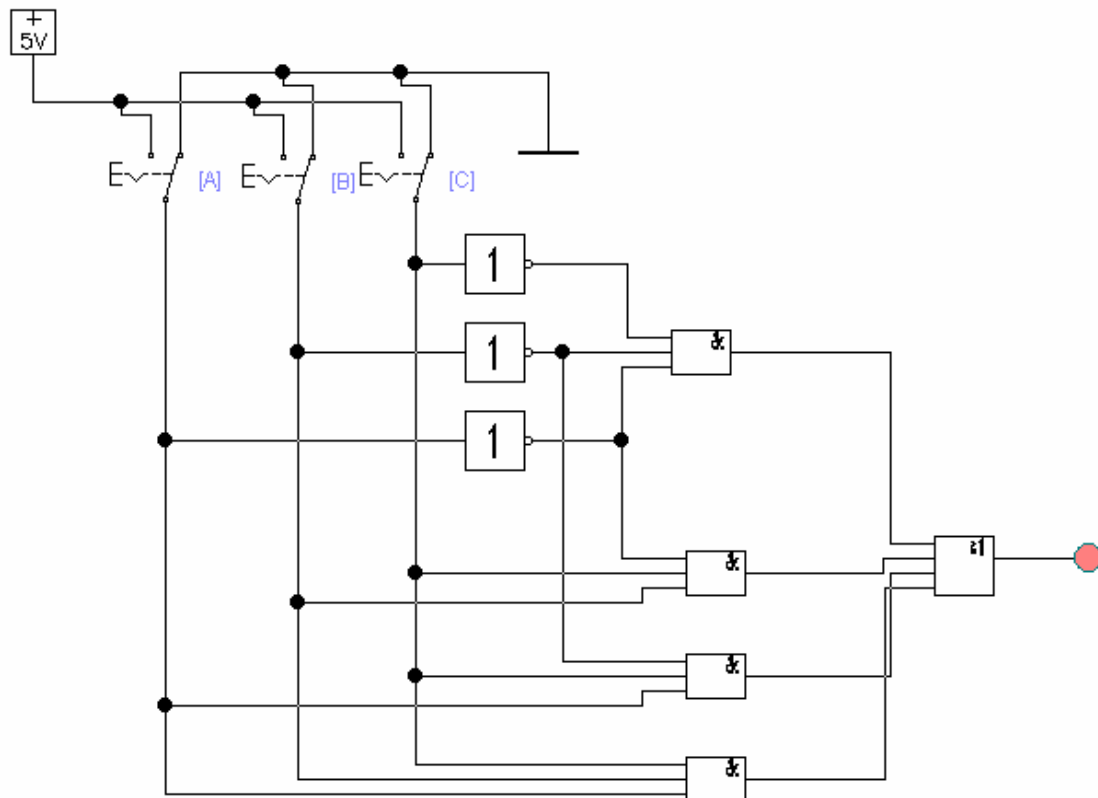
$$A = (A + B) \cdot A \text{ funkcia platí}$$



Zadanie d:

Index	C	B	A	f
0	0	0	0	1
1	1	0	0	0
2	0	1	0	0
3	1	1	0	1
4	0	0	1	0
5	1	0	1	1
6	0	1	1	0
7	1	1	1	1

$$f = \bar{A} \cdot \bar{B} \cdot \bar{C} + \bar{A} \cdot B \cdot C + A \cdot \bar{B} \cdot C + A \cdot B \cdot C$$



Záver:

Na tomto laboratórnom cvičení som sa zdokonaľoval v zápise logických funkcií, v návrhu logických obvodov a ich úprave. Overil som si funkciu jednotlivých logických členov NOT, NAND a NOR. K dispozícii som mal integrovaný obvod MH74ALS04 (NOT), MH74ALS00 (NAND) a MH74ALS02 (NOR), Led-diody, ochranné rezistory a zdroj. Nevyskytli sa žiadne vážnejšie problémy, návrhy logických obvodov boli navyše realizované a kontrolované v programe Electronic Workbench 5.12.

Príloha D:

ELEKTROTECHNICKÁ FAKULTA
Žilinská univerzita v Žiline
Detašované pracovisko v Liptovskom Mikuláši
=====

Školský rok: 2007/08

Semester: letný

Protokol z LC
Logické Obvody

Úloha .2
Základne operácie logických obvodov

D a: 19.3.2008
Sk: 31

Spracoval: Miroslav Putiš

Zadanie 1:

Pod a zadanej pravdivostnej tabu ky zostrojte karnaughovu mapu, minimalizujte logickou funkciu, navrhnete logický obvod a overte jeho innos v prostredí MatLab-Simulink a EWB. Navrhnutý LO realizujte na prípravku a overte jeho funk nos .

Pravdivostná tabu ka 2

Index	a	b	c	f
0	0	0	0	1
1	0	0	1	1
2	0	1	0	0
3	0	1	1	1
4	1	0	0	0
5	1	0	1	0
6	1	1	0	0
7	1	1	1	0

Výpo ty a tabu ka merania:

	f1		b		a	
c	1	0	0	0	0	0
	1	1	0	0	0	0

$$f_1 = \bar{a} \cdot \bar{b}$$

$$f_2 = \bar{a} \cdot c$$

$$f = \bar{a} \cdot \bar{b} + \bar{a} \cdot c$$

Schéma zapojenia vytvorená v programe Matlab simulink:

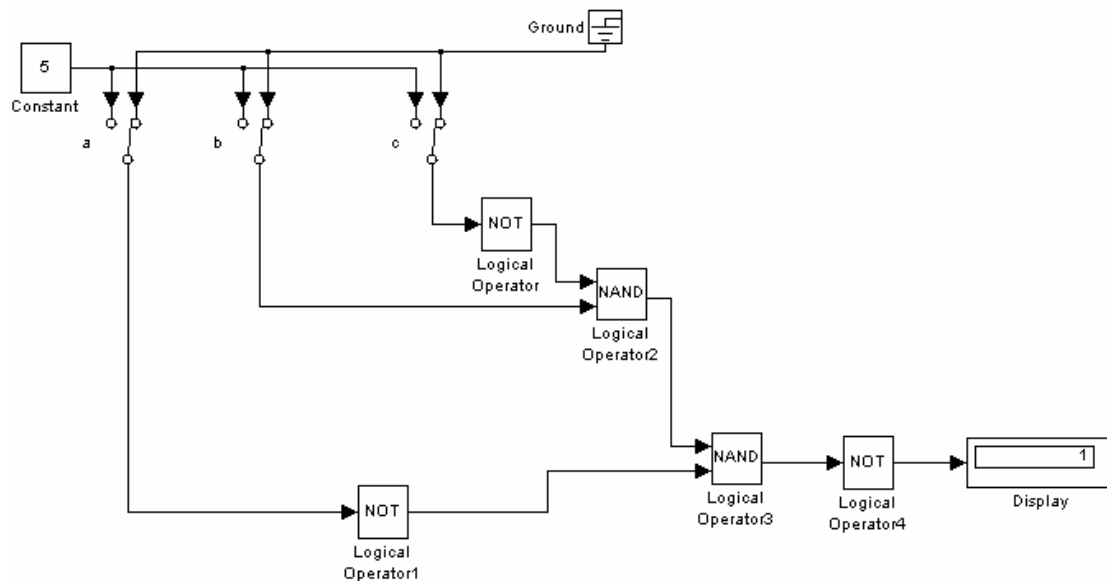


Schéma zapojenia vytvorená v EWB pomocou logických lenov:

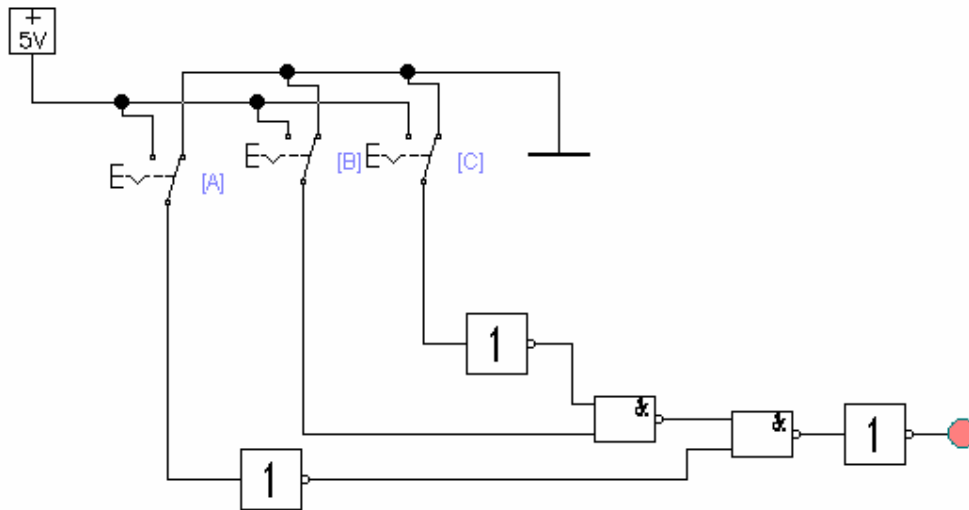
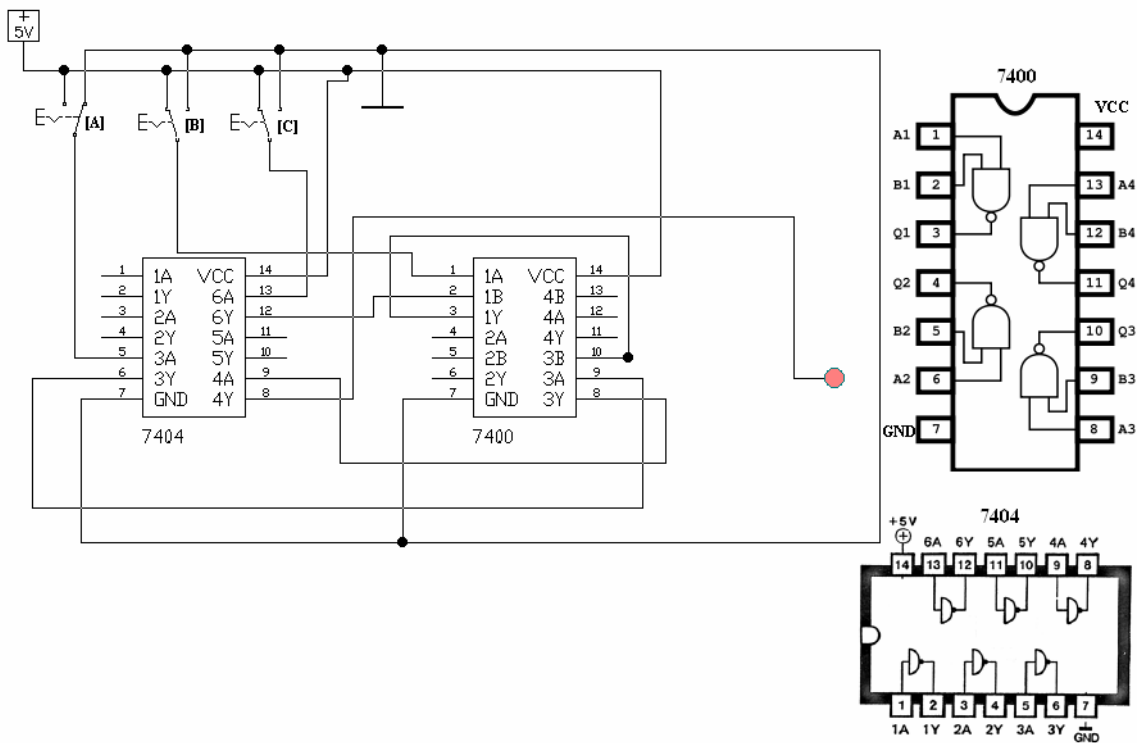


Schéma zapojenia vytvorená v EWB pomocou IO:

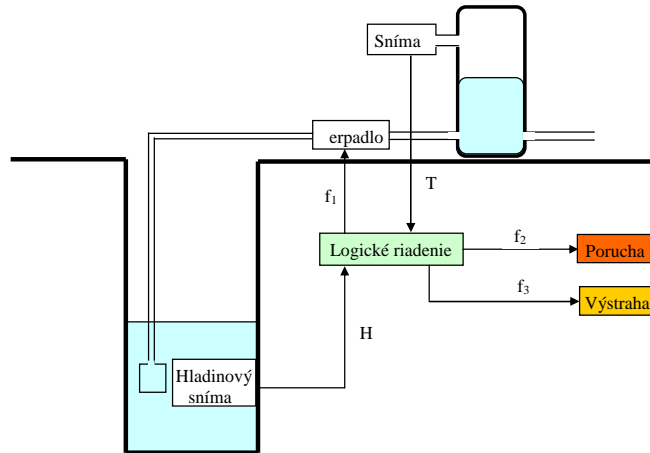


Zadanie 2:

Navrhnete logické riadenie pre erpanie vody zo studne, ke je požadované:

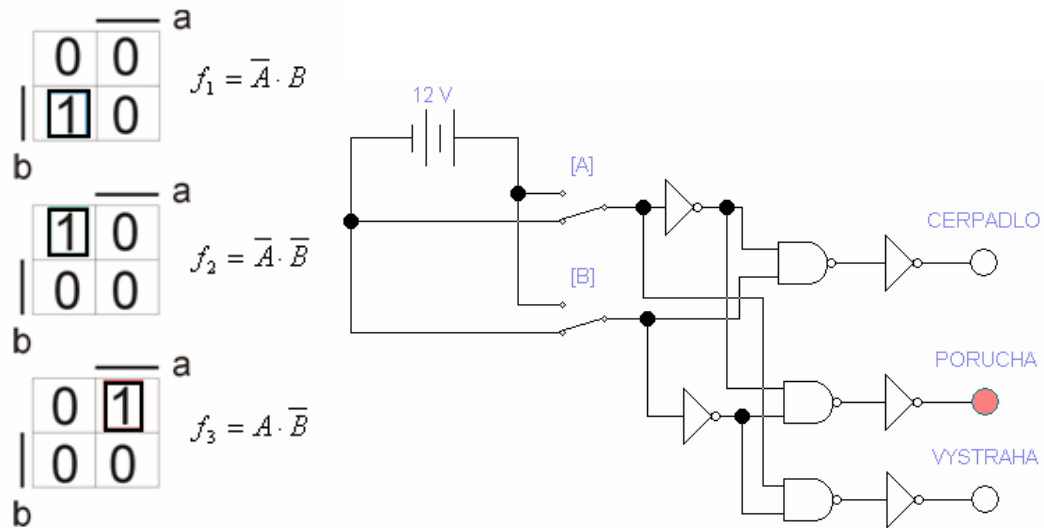
- erpadlo je v prevádzke ($f_1=1$), ke je nízky tlak v nádrži ($T=0$) a v studni je voda ($H=1$)
- erpadlo je v k ude, ke je v nádrži požadovaný tlak ($T=1$) alebo je málo vody v studni ($H=0$)
- je hlásená porucha ($f_2=1$), ke je nízky tlak v nádrži a v studni nie je voda
- je hlásená výstraha ($f_3=1$), ke je požadovaný tlak v nádrži ale v studni nie je voda

Zostavte pravdivostnú tabu ku, minimalizujte logické funkcie, navrhnete logický obvod a overte jeho funkcie na modeli.



Pravdivostná tabu ka: T= tlak(A) ,H = výška vody(B):

A(Tlak)	B(Hladina)	f1(erpadlo)	f2(porucha)	f3(výstraha)
0	0	0	1	0
0	1	1	0	0
1	0	0	0	1
1	1	0	0	0



Postup:

Ako prvé bolo potrebné vytvoriť pravdivostnú tabuľku stavov, pomocou ktorej som mohol spraviť a následne realizovať logický obvod. Ďalšou úlohou bolo overiť funkčnosť, výstrahy a porucha sa odskúšali pomocou LED- diód.

Záver:

Laboratórne cvičenie umožnilo zdokonaliť sa v návrhu a realizácii logických obvodov. Pomocou reálneho príkladu bolo možné si zopakovať tvorbu karnaughových máp a následne ich minimalizáciu. Jednotlivé zadanie sa overoval i v programe Elektronik Workbench a Mat-Lab Simulink. Pri ňom priamo na laboratórnych cvičeniach sa využívali prípravky ako napríklad prípravok s LED-diódami. Počas cvičení boli k dispozícii integrované obvody NAND – MH7400, NOT- MH 7404 a NOR 4001.